



ACADEMIE DE GRENOBLE

**UNIVERSITE DE SAVOIE**

Département des Sciences Pour l'Ingénieur (SPI)

Laboratoire SYMME Systèmes et Matériaux pour la Mécatronique

**THESE**

Préparée au CERN à GENEVE

Présentée à Polytech Savoie sur le site d'Annecy  
pour obtenir le **DIPLOME DE DOCTORAT**

**ETUDE ET MODELISATION DU COMPORTEMENT DU FPGA**

**A54SX72A D'ACTEL EN MILIEU RADIATIF ET A TEMPERATURES**

**CONTROLEES - APPLICATION A L'ENVIRONNEMENT DU LHC**

Présentée par

Stéphane GABOURIN  
(Ingénieur Polytech'Savoie)

Soutenue le 6 mars 2008 devant le Jury :

Jean **GASIOT**  
Pierre **DEPASSE**  
Dragoslav-Laza **LAZIC**  
Juan **CASAS-CUBILLOS**  
Christine **GALEZ**  
Madjid **BOUTEMEUR**  
Michelle **PASSARD**

Professeur des Universités – Montpellier II  
Professeur des Universités – Lyon 1  
Docteur en Sciences – Université de Boston  
Docteur en Sciences physiques – CERN  
Professeur des Universités – Polytech'Savoie  
Professeur des Universités – Polytech'Savoie  
Maître de conférence – Polytech'Savoie

*Rapporteur*  
*Rapporteur*  
*Examinateur*  
*Directeur scientifique*  
*Examinatrice*  
*Directeur de thèse*  
*Co-directrice de thèse*

## REMERCIEMENTS

Je tiens tout d'abord à remercier les deux rapporteurs de mon jury de thèse : Jean GASIOT pour m'avoir aidé à prendre le jour de la soutenance comme une formalité et Pierre DEPASSE pour l'aide qu'il m'a apporté afin d'améliorer une multitude de points dans mon rapport.

Un grand merci aussi à mes 3 directeurs de thèse, à savoir Michelle PASSARD qui est la seule à m'avoir courageusement suivi du début à la fin. Yves TEISSEYRE, qui se souciait autant de mon bien-être que de mon travail, et Madjid BOUTEMEUR, qui m'a assisté et motivé pour les derniers mois, qui comme tout le monde le sais, ne sont pas les plus « cool ».

Merci à Dragoslav-Laza LAZIC d'avoir accepté de faire partie de mon jury, Christine GALEZ pour sa gentillesse (et pour avoir été la première à m'appeler « docteur »).

Toute ma reconnaissance va à la section AT-ACR-IN du CERN, dirigée par Juan CASAS-CUBILLOS, pour m'avoir accueilli pendant plus de 3 ans. Le CERN restant à mes yeux un lieu de travail exceptionnel, tant par les moyens de travail dont on dispose (bien que ce soit différent d'une section à l'autre), que par les gens que j'ai pu y rencontrer, provenant d'un peu partout sur la planète. Encore merci de m'avoir donné cette chance.

Merci entre autres à Federico FACCIO pour le prêt de la machine à rayons X et pour m'avoir expliqué certaines notions de physique, et Serge BROBECKER pour ses cours particuliers de VHDL.

Pour l'aide et le soutien sans faille aucune qu'il m'a prodigué (pendant mais aussi avant la thèse), je remercie Gérard GAUTIER, et dans le prolongement l'ensemble du personnel du laboratoire de Polytech'Savoie Annecy.

(cours plan d'expérience)

Je remercie particulièrement Lucia DI-CIACCIO qui s'est démenée pour me faire rentrer au CERN en stage et qui en a par la suite remis une couche pour me permettre d'y faire cette thèse.

Un gros petit merci à Rémi ROSSET-LANCHET et Pierre HENRIQUET qui se sont bien amusés (j'espère!) à m'aider à finaliser mes travaux.

Un petit gros merci à Sébatien FRANZ, Vincent BOYER et Julien LOLLIEROU pour m'avoir sorti de mon travail tous les midis.

Je n'oublie pas Equipe des amis de Narderans avec qui j'ai passé de bons mercredi détente et plus particulièrement Michel HECHE qui m'a fait découvrir d'autres horizons. Encore merci à Yohan PRIGENT qui m'a empêché de prendre la grosse tête.

Je remercie aussi globalement ma famille et mes amis, qui ont joué le rôle non négligeable de relativiser l'importance d'une thèse dans la vie.

Je remercie les thésards que j'ai rencontré pendant les cours, et qui ont partagé la même expérience que moi, en particulier Esther DELOCHE qui m'a appris qu'une thèse, c'est pas toujours en sciences (!), Gregory SANGUINETTI et le reste de l'équipe du LAPP pour les sorties bowling.

Ainsi qu'une thésarde dont je ne connais pas le nom mais qui a été, de part ses voyages en Mongolie, une de mes motivations à partir au Cachemire et Ladakh par la suite.

Et je sais que j'en rate, mais même s'ils ne sont pas sur le papier, ils restent dans mes pensées. 😊

# SOMMAIRE

TABLE DES FIGURES	6
TABLE DES TABLEAUX	9

## **CHAPITRE I INTRODUCTION** **11**

---

## **CHAPITRE II LA TECHNOLOGIE CMOS** **14**

---

Résumé du CHAPITRE II :	15
<b>II.A. PRINCIPE DU MOS</b>	<b>16</b>
<b>II.B. INTERET DU CMOS</b>	<b>17</b>
<b>II.C. PROBLEME DU CMOS</b>	<b>19</b>
<b>II.D. MODELISATION D'UN CIRCUIT INTEGRE (CI)</b>	<b>20</b>
II.D.1. PREMIERE MODELISATION SOUS LABVIEW	20
II.D.1.a. Signaux en entrées/sorties des composants	20
II.D.1.b. Composants élémentaires :	20
II.D.1.c. Modélisation d'un registre à décalage	23
II.D.1.d. Test du registre à décalage	25
II.D.2. LES LIMITES DU MODELE	27
II.D.2.a. La complexité de l'architecture interne.	27
II.D.2.b. L'importance des oxydes	29

## **CHAPITRE III EFFETS DES RADIATIONS SUR LES COMPOSANTS MOS** **30**

---

Résumé du CHAPITRE III :	31
<b>III.A. LE DEPOT D'ENERGIE DANS LA MATIERE</b>	<b>32</b>
III.A.1. NOTIONS DE DOSIMETRIE	32
III.A.2. INTERACTION DES PHOTONS AVEC LA MATIERE	36
III.A.2.a. L'effet photoélectrique (Figure III-4) :	36
III.A.2.b. L'effet Compton (Figure III-5) :	36
III.A.2.c. La production de paires (Figure III-6) :	36
III.A.2.d. La relation entre ces effets	36
III.A.3. EFFETS DES RADIATIONS SUR LES COMPOSANTS CMOS	37
III.A.4. LA RECOMBINAISON (ANNEALING) INITIALE	38
III.A.5. LE PIEGEAGE DES CHARGES DANS L'OXYDE	39
III.A.6. LE MODELE DE GUERISON	42
III.A.7. LES EFFETS MACROSCOPIQUES	43
III.A.7.a. Les effets du vieillissement	44
III.A.7.b. Le circuit de pompage	44
III.A.7.c. L'influence de la fréquence	46
<b>III.B. LES EFFETS SINGULIERS (SEE)</b>	<b>46</b>
III.B.1. DESCRIPTION GENERALE ET CARACTERISATION	46
III.B.2. RESULTATS DE TESTS	49
<b>III.C. LES DEPLACEMENTS ATOMIQUES</b>	<b>49</b>

---

**CHAPITRE IV L'ENVIRONNEMENT RADIATIF DU LHC** **50**

Résumé du CHAPITRE IV :	51
<b>IV.A. GEOMETRIE DU LHC</b>	<b>52</b>
IV.A.1. VUE GENERALE	52
IV.A.2. DETAIL D'UN OCTANT	53
IV.A.3. EXEMPLE DE DISPOSITION DES CHASSIS	53
<b>IV.B. LES RADIATIONS DANS LE LHC</b>	<b>55</b>
IV.B.1. ENVIRONNEMENT RADIATIF	55
IV.B.2. ESTIMATION DE LA DOSE DANS LES DS	55
IV.B.3. ESTIMATION DES FLUX DE PARTICULES DANS LES DS	58

---

**CHAPITRE V CONCEPTION DU BANC DE TEST** **62**

Résumé du CHAPITRE V :	63
<b>V.A. PROGRAMMATION DU CI</b>	<b>64</b>
<b>V.B. SUPPORT DU CI</b>	<b>67</b>
<b>V.C. BANC DE CHAUFFAGE</b>	<b>69</b>
V.C.1. PRESENTATION	69
V.C.2. CARACTERISATION	70
<b>V.D. CARTE ELECTRONIQUE</b>	<b>74</b>
<b>V.E. PRESENTATION DU BANC DE TEST</b>	<b>76</b>
V.E.1. POUR LA VERSION FPGA4	76
V.E.2. POUR LA VERSION FPGA8	78

---

**CHAPITRE VI TESTS SOUS RAYONS X DES CI VERSION FPGA 4** **80**

Résumé du CHAPITRE VI :	81
<b>VI.A. INTRODUCTION</b>	<b>82</b>
<b>VI.B. STRUCTURE DU CI</b>	<b>83</b>
<b>VI.C. PROGRAMME LABVIEW</b>	<b>84</b>
VI.C.1. CADRE « FPGA »	85
VI.C.2. CADRE « REGULATION »	85
VI.C.3. CADRE « CAPTEUR »	85
VI.C.4. CADRE « EXCEL »	85
<b>VI.D. RESULTATS DES TESTS</b>	<b>86</b>
VI.D.1. INTRODUCTION	86
VI.D.2. GRAPHES	88
<b>VI.E. PLANS D'EXPERIENCE</b>	<b>93</b>

---

**CHAPITRE VII TESTS SOUS RAYONS X DES CI VERSION FPGA 8** **96**

Résumé du CHAPITRE VII :	97
<b>VII.A. INTRODUCTION</b>	<b>98</b>
<b>VII.B. STRUCTURE DU CI</b>	<b>98</b>
<b>VII.C. PROGRAMME LABVIEW</b>	<b>99</b>

<b>VII.D. RESULTATS DES TESTS</b>	<b>101</b>
VII.D.1. INTRODUCTION	101
VII.D.2. GRAPHES DES 8 TESTS	104
<b>VII.E. PLANS D'EXPERIENCE</b>	<b>105</b>
VII.E.1. PLAN SUR LA DUREE DE FONCTIONNEMENT	106
VII.E.2. PLAN SUR L'INTERVALLE $\Delta T = T_F - T_{10+10\%}$	108
VII.E.3. PLAN SUR L'INTERVALLE $\Delta T_2 = T_F - T_{10+10MA}$	110
<b>VII.F. EXTRAPOLATION POUR LES DOSES DU LHC</b>	<b>112</b>
<b>VII.G. TEST DE <math>V_{PUMP}</math></b>	<b>114</b>
VII.G.1. MODE OPERATOIRE STATIQUE	114
VII.G.2. MODE OPERATOIRE DYNAMIQUE	116

---

**CHAPITRE VIII TESTS SOUS PROTONS DES CI VERSION FPGA 8** **118**

Résumé du CHAPITRE VIII :	119
<b>VIII.A. DISPOSITIF EXPERIMENTAL</b>	<b>120</b>
<b>VIII.B. CALCUL DE LA DOSE EFFECTIVE.</b>	<b>124</b>
VIII.B.1. CALCUL DIRECT	124
VIII.B.2. SIMULATION SUR GEANT4	124
VIII.B.3. ESTIMATION AVEC SRIM	126
VIII.B.4. INTERPRETATION DES FILMS DOSIMETRIQUES	128
<b>VIII.C. RESULTATS</b>	<b>130</b>

---

**CHAPITRE IX CONCLUSION** **134**

BIBLIOGRAPHIE	138
GLOSSAIRE	142
ANNEXE 1 : Code VHDL des FPGA version 4	144
FPGA 4	145
Registre à décalage	146
ANNEXE 2 : Code VHDL des FPGA version 8	148
FPGA 8	149
Registre à décalage avec multiplexeur	152
Registre à décalage	154
Multiplexeur	155
Compteur	155
ANNEXE 3 : Courbes de résultats pour les CI version FPGA 8 sous rayons X	158
ANNEXE 4 : Manuel d'utilisation de la bibliothèque de vi pour l'utilisation d'Excel	168

## TABLE DES FIGURES

<i>Figure I-1 : Disposition des châssis (crates) sous les dipôles du LHC. Les châssis contenant les cartes d'acquisition sont disposés directement sous les dipôles.....</i>	<i>11</i>
<i>Figure I-2 : Châssis contenant les cartes d'acquisition installé sous un dipôle (tube bleu).....</i>	<i>12</i>
<i>Figure II-1 : Schéma en coupe d'un NMOS [1].....</i>	<i>16</i>
<i>Figure II-2 : Conduction entre Drain et Source pour le NMOS [1] .....</i>	<i>17</i>
<i>Figure II-3 : Transistor PMOS en conduction [1].....</i>	<i>17</i>
<i>Figure II-4 : Représentation simplifiée d'une structure CMOS [1].....</i>	<i>18</i>
<i>Figure II-5 : Etats du drain D d'un NMOS et d'un PMOS en fonction de la grille G.....</i>	<i>18</i>
<i>Figure II-6 : Fonctionnement d'un inverseur [1] .....</i>	<i>19</i>
<i>Figure II-7 : Connexion des zones dopées formant le thyristor.....</i>	<i>19</i>
<i>Figure II-8 : Illustration de (a) la technologie « Bulk » et (b) la technologie « SOI » .....</i>	<i>20</i>
<i>Figure II-9 : Connexions du vi « NMOS » .....</i>	<i>21</i>
<i>Figure II-10 : Connexions du vi « PMOS » .....</i>	<i>21</i>
<i>Figure II-11 : Connexions du vi « Vote ».....</i>	<i>22</i>
<i>Figure II-12 : Utilisation du vi « Vote » entre les drains d'un NMOS et d'un PMOS.....</i>	<i>23</i>
<i>Figure II-13 : Schéma électrique d'une cellule dynamique (bascule D).....</i>	<i>23</i>
<i>Figure II-14 : Représentation d'une bascule D au niveau des transistors.....</i>	<i>24</i>
<i>Figure II-15 : Les 22 possibilités d'apparition d'un SEU (11 transistors * 2 demi périodes d'horloge).....</i>	<i>24</i>
<i>Figure II-16 : Tableau permettant d'affecter des SEU à n'importe quel transistor, aussi bien avant qu'après le front montant de l'horloge.....</i>	<i>24</i>
<i>Figure II-17 : Connexions du vi « Registre à décalage » .....</i>	<i>25</i>
<i>Figure II-18 : Face avant du programme de test d'un registre à décalage sous irradiations. ....</i>	<i>25</i>
<i>Figure II-19 : les 4 combinaisons de bits sur 2 coups d'horloge.....</i>	<i>26</i>
<i>Figure II-20 : Face avant du vi de test mathématique d'un registre à décalage sous radiations. ....</i>	<i>26</i>
<i>Figure II-21 : Organisation des clusters dans un FPGA A54SX72-A [8].....</i>	<i>27</i>
<i>Figure II-22 : Organisation des connexions des super clusters 1(en haut) et 2 (en bas) [8].....</i>	<i>28</i>
<i>Figure II-23 : Organisation en couche des éléments d'interconnexion dans les FPGA A54SX72-A [8].....</i>	<i>28</i>
<i>Figure II-24 : Piégeage des charges positives dans les « bec d'oiseau » des oxydes.....</i>	<i>29</i>
<i>Figure III-1 : gerbe de particules provoquée par un faisceau dans la matière .....</i>	<i>32</i>
<i>Figure III-2 : Sphère élémentaire de centre P et de rayon dr traversée par des rayons X.....</i>	<i>33</i>
<i>Figure III-3 : Inégalité entre la perte d'énergie cinétique et l'énergie absorbée dans la sphère élémentaire .....</i>	<i>34</i>
<i>Figure III-4 : Effet photoélectrique [20].....</i>	<i>36</i>
<i>Figure III-5 : Effet Compton [20].....</i>	<i>36</i>
<i>Figure III-6 : Production de paires [20].....</i>	<i>36</i>
<i>Figure III-7 : Importance relative de l'effet photoélectrique, de la diffusion Compton et de la production de paires, en fonction de l'énergie du photon incident [20].....</i>	<i>37</i>
<i>Figure III-8 : Migration des charges dans le SiO<sub>2</sub> pour un NMOS polarisé .....</i>	<i>38</i>
<i>Figure III-9 : Fraction de trous échappant à la recombinaison initiale pour différents types de radiations [22] .....</i>	<i>39</i>
<i>Figure III-10 : Les 5 types de charges présentes dans l'oxyde [21].....</i>	<i>40</i>
<i>Figure III-11 : Structure atomique du SiO<sub>2</sub> [21].....</i>	<i>40</i>
<i>Figure III-12 : Mécanisme de formation d'un piège de type E' [21].....</i>	<i>41</i>
<i>Figure III-13 : Mécanisme de piégeage des trous [26].....</i>	<i>41</i>
<i>Figure III-14 : Avancée du front pour une activation A constante [27]. <math>\phi_m</math> est au point d'inflexion.....</i>	<i>42</i>
<i>Figure III-15 : Tension de pompage et évolution du courant <math>I_{cc}</math> en fonction de la dose totale [18].....</i>	<i>45</i>
<i>Figure III-16 : Circuit d'isolation d'un module logique grâce à <math>V_{pump}</math> (Charge Pump) [15].....</i>	<i>45</i>
<i>Figure III-17 : Différentes évolutions du courant en fonction de la fréquence et de la température [17].....</i>	<i>46</i>
<i>Figure III-18 : Passage d'une particule par le drain.....</i>	<i>47</i>

Figure III-19 : Section efficace d'un circuit en fonction de l'énergie déposée par une particule incidente.....	48
Figure IV-1 : Schéma de principe du LHC. Les faisceaux se croisent au niveau des 4 détecteurs.....	52
Figure IV-2 : Détail des zones du LHC. LSS, DS et ARC forment l'octant.....	53
Figure IV-3 : Disposition des châssis dans le Dispersion Suppressor Left 5 de CMS (DSL5).....	54
Figure IV-4 : Disposition des châssis dans le Dispersion Suppressor Right 5 de CMS (DSR5).....	54
Figure IV-5 : Section transversale du tunnel utilisée pour calculer la dose sur une coupe longitudinale du tunnel [38].....	56
Figure IV-6 : Résultats de la simulation FLUKA de la dose émise le long d'un DS du point 5 [38] .....	56
Figure IV-7 : Dose annuelle pour les 4 châssis du Dispersion Suppressor Left 1 (DSL1) [38] .....	57
Figure IV-8 : Dose annuelle pour les 4 châssis du Dispersion Suppressor Right 1 (DSR1) [38].....	57
Figure IV-9 : Dose annuelle pour les 4 châssis du Dispersion Suppressor Left 5 (DSL5) [38] .....	58
Figure IV-10 : Dose annuelle pour les 4 châssis du Dispersion Suppressor Right 5 (DSR5) [38].....	58
Figure IV-13 : Fluence des hadrons de plus de 20MeV le long des DS 5 [38].....	59
Figure IV-14 : Fluence des neutrons de plus de 100keV le long des DS 5 [38] .....	59
Figure V-1 : Structure d'une cellule de type « register » dans un CI .....	64
Figure V-2 : Bascule D .....	64
Figure V-3 : Registre à décalage de 4 bits.....	64
Figure V-4 : Configuration probabiliste d'avoir 2 SEU sur un bit avec un registre de longueur n .....	65
Figure V-5 : Probabilité que se produise un seul SEU sur un bit en fonction de P et de n .....	66
Figure V-6 : Parties inférieure et supérieure du support percé.....	67
Figure V-7 : CI ouvert par attaque chimique prêt à être testé.....	68
Figure V-8 : Vue en coupe du banc de chauffage (réalisée avec CATIA v5r12).....	69
Figure V-9 : Echangeur, ressort, poignée et contre-écrou après assemblage .....	70
Figure V-10 : Evolution des écarts de température pendant le chauffage.....	71
Figure V-11 : Passage des variables naturelles aux variables réduites .....	72
Figure V-12 : Carte électronique (PCB) pour le CI. Le support est soudé au centre.....	74
Figure V-13 : Banc de chauffage fixé à la carte .....	75
Figure V-14 : Carte électronique avec support du FPGA .....	75
Figure V-15 : Banc de test .....	76
Figure V-16 : Vue schématique du banc de test pour FPGA4 .....	77
Figure V-17 : Vue schématique du banc de test pour FPGA8 .....	78
Figure VI-1 : Schéma de la structure interne de FPGA 4.....	83
Figure VI-2 : Face avant du programme principal de test (version 4) .....	84
Figure VI-3 : Palette de vi Excel de la version 2.0 .....	86
Figure VI-4 : Les 4 tests aux limites des 2 facteurs .....	87
Figure VI-5 : Comportement des CI (FPGA4) sous radiation.....	88
Figure VI-6 : Point 1 : T1=35°C et D2=157rad/sec .....	89
Figure VI-7 : Point 2 : T1=35°C et D1=15rad/sec .....	90
Figure VI-8 : Point 3 : T2=70°C et D1=15rad/sec .....	91
Figure VI-9 : Point 4 : T2=70°C et D2=157rad/sec.....	92
Figure VII-1 : Schéma de la structure interne de FPGA 8 .....	99
Figure VII-2 : Face avant du programme principal de test (version 8).....	100
Figure VII-3 : Les 8 tests aux limites des 3 facteurs .....	102
Figure VII-4 : Comportement des CI (FPGA8) sous radiation.....	104
Figure VII-5 : Paramètre $t_f$ pris en compte dans les plans d'expérience de FPGA 8.....	106
Figure VII-6 : Représentation 3D de $t_f$ pour les 8 points extrêmes. Courbe bleue pour 10MHz et rouge pour 40MHz. ....	107
Figure VII-7 : Influence relative des 3 facteurs sur la longueur de $t_f$ .....	108
Figure VII-8 : Paramètre $\Delta t$ pris en compte dans les plans d'expérience de FPGA 8 .....	108
Figure VII-9 : Influences relatives des trois facteurs sur la longueur de $\Delta t$ .....	109

Figure VII-10 : Pour un même comportement du courant, $\Delta t_{40\text{MHz}} < \Delta t_{10\text{MHz}}$ .....	110
Figure VII-11 : Représentation 3D de $\Delta t$ pour les 8 points extrêmes. Courbe bleue pour 10MHz et rouge pour 40MHz. .....	110
Figure VII-12 : Représentation 3D de $\Delta t_2$ pour les 8 points extrêmes. Courbe bleue pour 10MHz et rouge pour 40MHz. .....	111
Figure VII-13 : Influences relatives des trois facteurs sur la longueur de $t_f$ et de $\Delta t_2$ .....	112
Figure VII-14 : Effets du débit de dose $D$ et de la température $T$ sur le comportement du courant.....	112
Figure VII-15 : Représentation 3D de $t_f$ avec les points intermédiaires pour $F=10\text{MHz}$ .....	113
Figure VII-16 : Point 4 des tests de rayons X de FPGA8, à $T=45^\circ\text{C}$ , $D=157\text{rad/s}$ , $V_{cc}=5\text{V}$ .....	114
Figure VII-17 : Test de $V_{\text{pump}}$ . $T=45^\circ\text{C}$ , $D=157\text{rad/s}$ , $V_{cc}=6\text{V}$ .....	115
Figure VII-18 : Test de $V_{\text{pump}}$ . $T=45^\circ\text{C}$ , $D=157\text{rad/s}$ , $V_{cc}=7\text{V}$ .....	115
Figure VII-19 : Passage de la tension d'alimentation de 5V à 6V pour tester $V_{\text{pump}}$ .....	116
Figure VIII-1 : Carte électronique et CI en position d'irradiation sous faisceau.....	120
Figure VIII-2 : Vue d'ensemble du banc de test. Le faisceau arrive par la droite.....	121
Figure VIII-3 : Station de contrôle un étage au dessus de la salle d'irradiation.....	122
Figure VIII-4 : L'équipe de choc à 3h du matin, après 7h de run sans café.....	123
Mes deux Co-thésards Charlotte Ricol et et Rémi Rosset-Lanchet. ....	123
Figure VIII-5 : Ecran reportant les données du faisceau en temps réel. ....	123
Figure VIII-6 : Simulation par GEANT4 de l'énergie déposée par un proton de 63 MeV sur 2cm de silicium .....	125
Figure VIII-8 : Energie déposée par un proton de 63MeV sur 20 mm de Si par SRIM.....	127
Figure VIII-9 : Coupe transversale du FPGA, avec la description des ses couches.....	127
Figure VIII-10 : Energie déposée dans les différentes couches du FPGA.....	128
Figure VIII-11 : Schéma du montage avec les films dosimétriques .....	129
Figure VIII-12 : Profil de la dose déposée dans le 1 <sup>er</sup> film.....	129
Figure VIII-13 : Profil de la dose déposée dans le 2 <sup>ème</sup> film.....	130
Figure VIII-14 : Résultats des tests de protons.....	131

## TABLE DES TABLEAUX

<i>Tableau II-1 : Valeurs prises par le Drain d'un NMOS en fonction de sa valeur précédente, de la grille et de la source</i>	22
<i>Tableau II-2 : Valeurs prises par le Drain d'un PMOS en fonction de sa valeur précédente, de la grille et de la source</i>	22
<i>Tableau II-3 : Valeurs de sortie du vi de vote en fonction de ses 2 entrées In1 et In2 et de son état précédent (Sortie prec)</i>	23
<i>Tableau III-1 : Comparaison des caractéristiques du Si et du SiO<sub>2</sub> [21]</i>	38
<i>Tableau V-1 : Nombres et longueurs des registres programmés dans la puce. Toutes les R-Cells sont utilisées</i>	67
<i>Tableau V-2 : Tableau des écarts de température pour les valeurs extrêmes des facteurs</i>	71
<i>Tableau V-3 : Récapitulatif des essais avec les variables naturelles (grandeurs physiques)</i>	71
<i>Tableau V-4 : Tableaux de calcul des effets de la moyenne, des facteurs et des interactions</i>	72
<i>Tableau V-5 : Résultats donnés par l'équation polynômiale à partir des variables réduites indiquées dans le tableau</i>	73
<i>Tableau V-6 : Résultats des tests expérimentaux</i>	73
<i>Tableau VI-1 : Nombres et longueurs des registres dans le CI</i>	82
<i>Tableau VI-2 : Paramètres de l'irradiation pour le débit de dose faible D1</i>	82
<i>Tableau VI-3 : Paramètres de l'irradiation pour le débit de dose élevé D2</i>	83
<i>Tableau VI-4 : Paramètres des plans d'expérience pour FPGA 4</i>	93
<i>Tableau VI-5 : Dose cumulée pour les 4 tests des plans d'expérience de FPGA 4</i>	93
<i>Tableau VI-6 : Calcul des coefficients de l'équation des plans d'expérience pour FPGA 4</i>	93
<i>Tableau VII-1 : Les trois facteurs étudiés pour FPGA 8</i>	102
<i>Tableau VII-2 : Paramètres des plans d'expérience pour FPGA 8</i>	105
<i>Tableau VII-3 : Dose cumulée pour les 8 tests du plan d'expérience de t<sub>f</sub></i>	106
<i>Tableau VII-4 : Calcul des coefficients de l'équation des plans d'expérience de t<sub>f</sub></i>	107
<i>Tableau VII-5 : Valeurs de Δt pour les 8 tests du plan d'expérience</i>	109
<i>Tableau VII-6 : Valeurs de Δt<sub>2</sub> pour les 8 tests du plan d'expérience</i>	111
<i>Tableau VII-7 : Comparaison des temps de panne fonctionnelle en fonction de la tension d'alimentation V<sub>cc</sub></i>	115



# CHAPITRE I

## INTRODUCTION

Le futur accélérateur de particules du CERN (LHC) utilisera des aimants supraconducteurs pour atteindre des énergies de collision de 14 TeV ( $14 \cdot 10^{12}$  eV) dans le centre de masse. Ces aimants fourniront des champs magnétiques très puissants (environ 10 Tesla) et nécessiteront un refroidissement à l'hélium liquide.

Les capteurs cryogéniques délivrent des signaux de faible amplitude, de l'ordre du millivolt. Il s'agit de capteurs Cernox pour les températures, de capteurs Baumer pour les pressions et de jauges Cryogenics pour mesurer les niveaux d'hélium dans des cuves. Ces signaux étant faibles, ils seront conditionnés et traités localement sur le lieu de la mesure (amplification, filtrage, calcul de moyenne,...) avant d'être exploités dans le monitoring et l'asservissement de l'accélérateur.

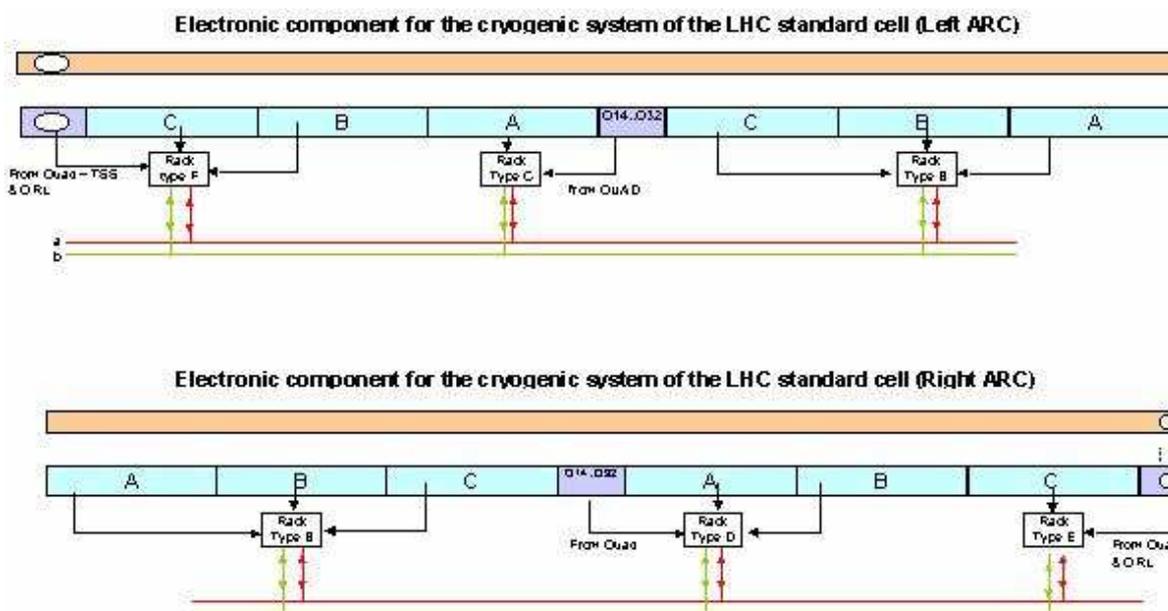
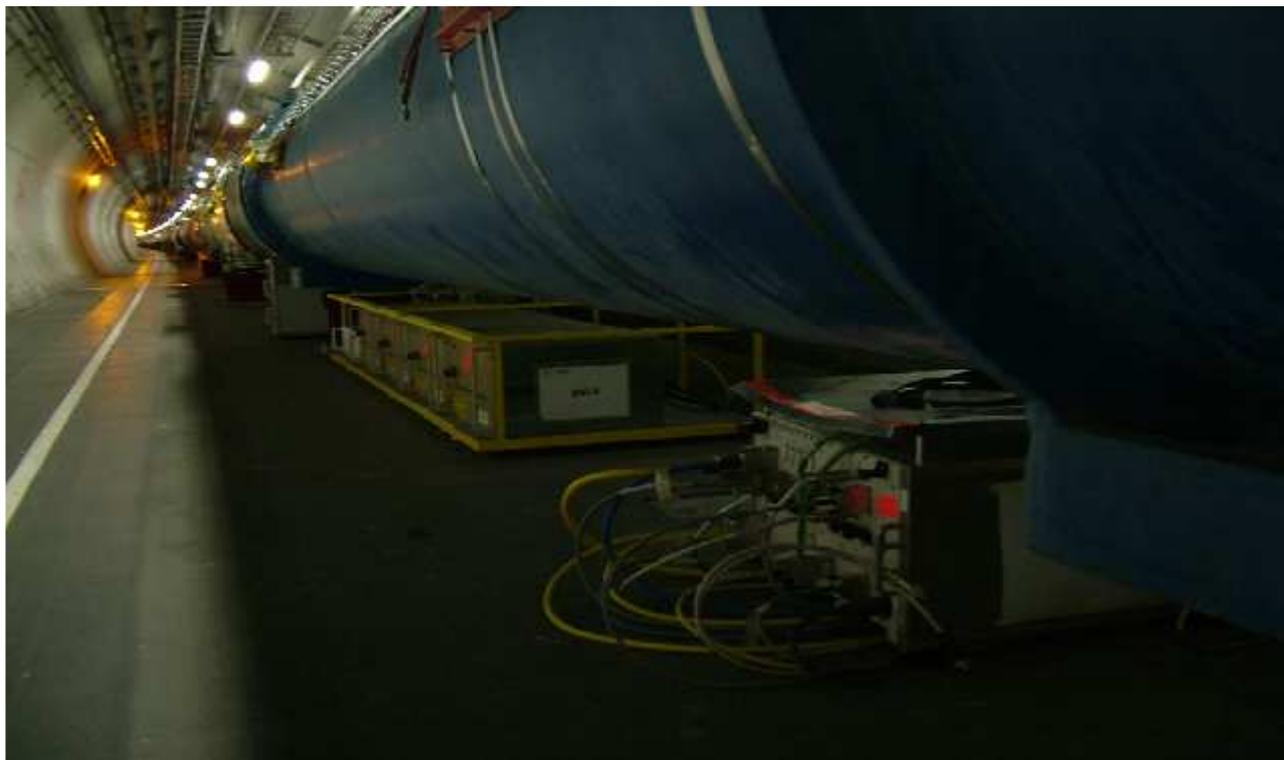


Figure I-1 : Disposition des châssis (crates) sous les dipôles du LHC. Les châssis contenant les cartes d'acquisition sont disposés directement sous les dipôles

Les opérations de filtrage et de calcul de moyenne sont effectuées numériquement par des circuits intégrés (CI) FPGA A54SX72A d'Actel qui seront disposés sous les aimants (Figure I-1 et Figure I-2). Ces CI sont des composants COTS (commercial-off-the-shelf), c'est-à-dire pas spécialement conçus pour résister à des radiations. L'instrumentation nécessitera plus de 10000 de ces FPGA dans le tunnel, et le choix de circuits rad-tol (tolérants aux radiations) aurait induit des dépenses allant au-delà du budget alloué.

Ils seront pourtant soumis à différentes radiations, suivant leur position dans le tunnel. Selon leur environnement immédiat, ils baigneront dans différentes températures ambiantes.



**Figure I-2 : Châssis contenant les cartes d'acquisition installé sous un dipôle (tube bleu)**

Le travail initial de ma thèse consiste à irradier ces CI à différentes températures parfaitement définies et contrôlées afin de modéliser les effets de la température d'une part, et des radiations d'autre part, sur le courant de consommation et sur le taux d'apparition d'erreurs logiques. Une erreur logique consiste à détecter un état opposé, Haut au lieu de Bas ou Bas au lieu de Haut, à celui attendu dans une porte numérique. J'ai utilisé la méthode des plans d'expérience pour modéliser le comportement des CI.

Les travaux publiés sur les tests d'irradiations et que j'ai trouvés dans la littérature ne prennent que rarement en compte l'effet de la température. Quand c'est le cas, ce n'est généralement que pour spécifier le point de fonctionnement en température. Nous n'avons pas encore trouvé de travaux décrivant la modélisation des effets combinés de la température et de l'irradiation.

Les résultats obtenus dans ce travail permettront, avec un suivi continu du stress subi par les circuits, d'établir un plan de maintenance de chaque circuit selon sa position dans le tunnel du LHC. Le mauvais fonctionnement de chaque dipôle devra être détecté à l'avance grâce à la fiabilité du système de monitoring dont les CI constituent les maillons de base. Une défaillance subite et non contrôlée d'un dipôle peut engendrer des dommages très fâcheux pour le fonctionnement de l'accélérateur et des expériences de physique. De plus, pour assurer le suivi des dégâts provoqués par les particules émises lors des expériences, un système de filmbadges mesure la radioactivité dans le tunnel du LHC. Ces mesures permettent de quantifier les effets des radiations sur les circuits intégrés, aussi bien pour un fonctionnement normal que pour un cas de défaillance des aimants supraconducteurs.



CHAPITRE II  
LA TECHNOLOGIE CMOS

---

## **Résumé du CHAPITRE II :**

Les transistors MOS sont les structures de base des opérateurs logiques (AND, OR, NOT, NAND, ...) qui constituent les FPGA. Il est donc indispensable de connaître leur fonctionnement pour comprendre leur comportement sous irradiations. Ils sont de type NMOS ou PMOS selon la nature des porteurs majoritaires (électrons ou trous). La technologie CMOS permet d'avoir sur une même structure un transistor NMOS et un transistor PMOS (Figure II-4).

Le principal inconvénient du CMOS, ce qui est le cas des FPGA d'Actel, est qu'il n'isole pas électriquement les deux transistors. Les jonctions des zones dopées P et N font apparaître un thyristor. Ce dernier peut conduire à un Latch-up, décharge électrique pouvant détruire le transistor, à cause des effets induits par le passage d'un rayonnement ionisant.

En vue de comprendre le comportement du FPGA face aux effets singuliers (modification de l'état de la mémoire due aux rayonnements), j'ai modélisé, à l'aide du logiciel LabVIEW, un élément représentatif constitué d'un seul registre à décalage. J'ai utilisé le montage de la Figure II-13 en tant que bascule D d'un registre à décalage en y ajoutant la possibilité de provoquer un événement singulier sur chacun des transistors.

Les programmes LabVIEW (« vi »), que j'ai élaboré, m'ont permis de simuler tous les cas possibles et de montrer que, pour chaque coup d'horloge, il n'y a qu'un seul transistor sur les 11 constituant la bascule qui provoque, soit dans l'état HAUT soit dans l'état BAS du signal d'horloge, une erreur en sortie s'il subit un événement singulier SEU (Single Event Upset).

Suite à la difficulté d'obtenir les détails de composition des circuits qui me permettraient de modéliser précisément le comportement des bascules D (R-Cells), mes simulations n'ont abouti qu'à l'élaboration d'un modèle générique pouvant être complété pour décrire un circuit particulier. Cependant, ce chapitre est surtout destiné à faire office d'introduction à la problématique de mon sujet de thèse.

## II.A. Principe du MOS

Les transistors MOS sont à la base de l'électronique numérique moderne [2]. Ils sont les structures constituantes des opérateurs logiques (AND, OR, NOT, NAND, ...) qui constituent les FPGA (Field Programmable Gate Arrays). Il est donc indispensable de connaître leur fonctionnement pour comprendre leur comportement sous irradiations.

Le transistor MOS se comporte comme un commutateur commandé par une tension (0/5V, 0/3.3V). Il en existe 2 types : Le NMOS qui se comporte comme un interrupteur fermé pour une commande logique de niveau « 1 » (tension haute), et le PMOS qui se comporte comme un interrupteur fermé pour une commande logique de niveau « 0 » (tension basse).

Prenons par exemple le NMOS, à canal N (Figure II-1) :

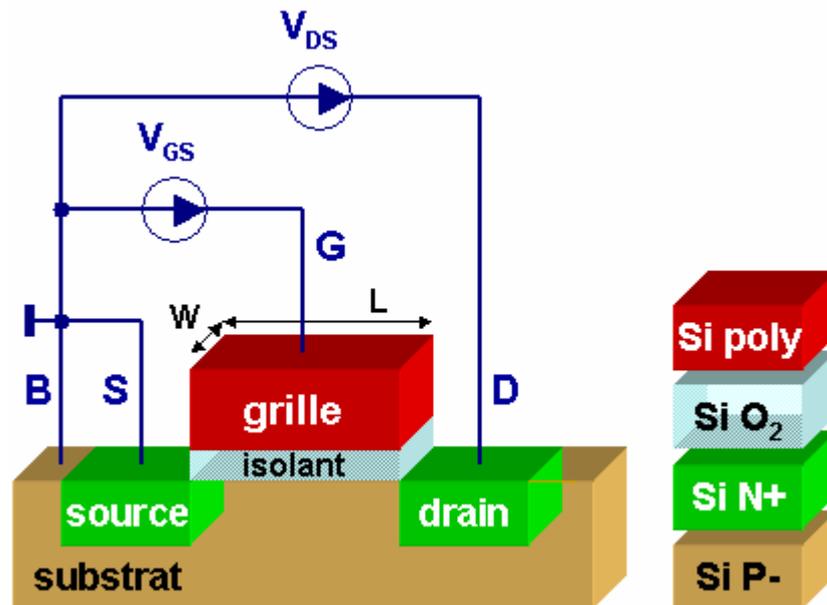


Figure II-1 : Schéma en coupe d'un NMOS [1]

Il est constitué :

- d'un substrat (B) en silicium (Si) qui est le support du transistor ;
- d'une source (S) et d'un drain (D) qui correspondent aux 2 extrémités de l'interrupteur ;
- d'une grille (G) conductrice en silicium polycristallin ou polysilicium (Si poly) qui joue le rôle de la commande d'ouverture/fermeture.

Le substrat est faiblement dopé positivement (P-), tandis que la source et le drain sont fortement dopés négativement (N+). Ceci induit des zones de charge d'espace (ZCE) qui isolent S de B et D de B. De plus, S et B sont connectés à la masse alors D sera au niveau 0 ou 1 suivant la tension logique  $V_{DS}$ .

C'est là qu'intervient la Grille G. Grâce à la couche isolante de  $SiO_2$ , les charges ne peuvent pas transiter de G à B. Lorsque  $V_{GS} > 0$ , le champ électrique va repousser vers le bas les charges positives majoritaires de B et attirer les porteurs minoritaires chargés

négativement (les électrons) vers la surface Si/SiO<sub>2</sub>. Cet apport d'électrons va connecter électriquement S et D en créant un canal. Le transistor est fermé avec le potentiel de G au niveau logique « 1 » (Figure II-2).

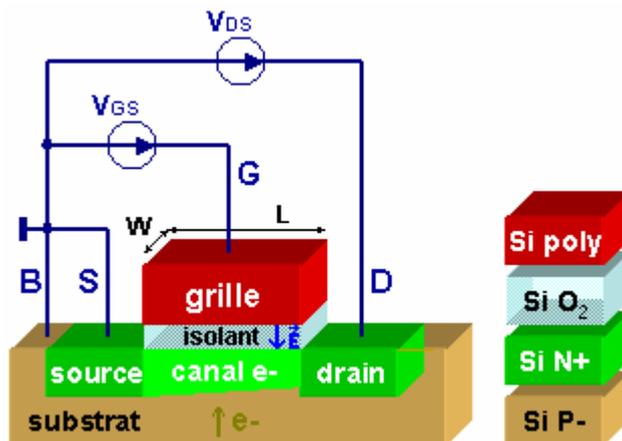


Figure II-2 : Conduction entre Drain et Source pour le NMOS [1]

A ce moment, si D est au niveau logique « 1 » ( $V_{DS} > 0$ ), un courant de porteurs minoritaires va circuler de S vers D. Le transistor PMOS se comporte exactement comme son homologue NMOS mais avec les charges inverses : les porteurs minoritaires sont les trous, ou absences d'électrons.

Le substrat B est dopé N<sup>-</sup> tandis que S et D sont dopés P<sup>+</sup>. Dans ce cas, S et B sont connectés à la tension d'alimentation ( $V_{DD}$ ). Lorsque  $V_{SG} (= -V_{GS}) > 0$ , le champ électrique entre G et B repousse les électrons vers le bas, et attire les trous vers l'interface Si/SiO<sub>2</sub> pour former le canal. L'interrupteur est fermé avec le potentiel de G au niveau logique « 0 » (Figure II-3).

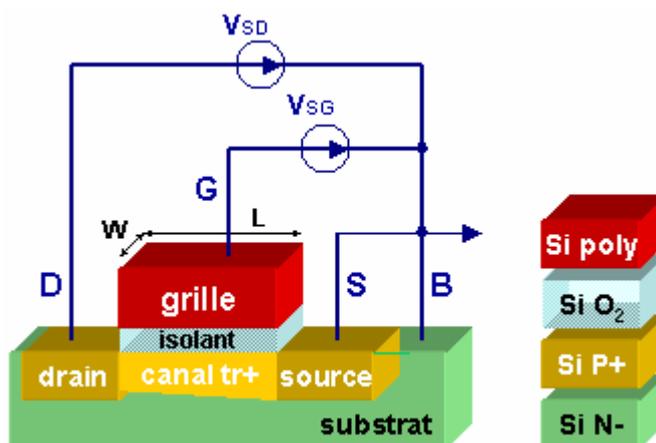


Figure II-3 : Transistor PMOS en conduction [1]

## II.B. Intérêt du CMOS

La technologie CMOS permet d'avoir sur une même structure, à très petite taille et à moindre coût, un transistor NMOS et un transistor PMOS (Figure II-4) :

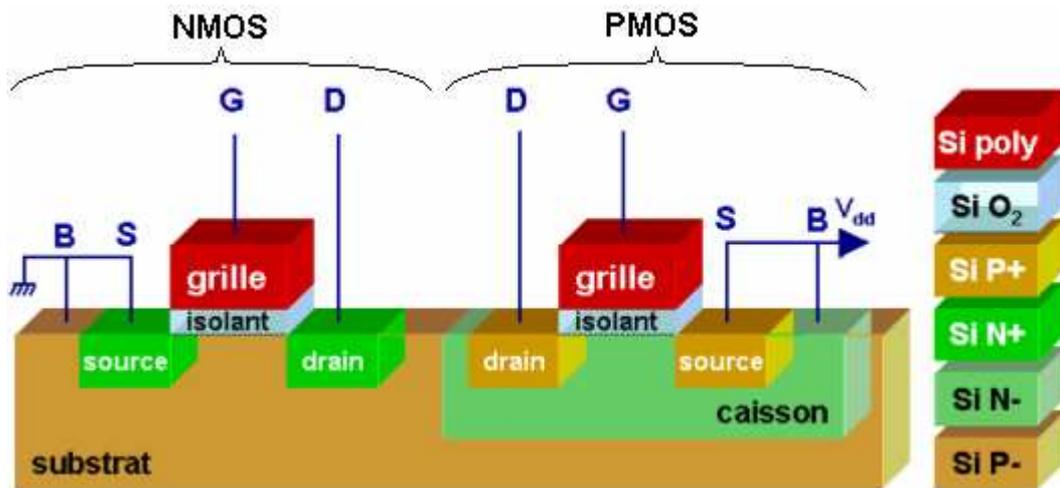


Figure II-4 : Représentation simplifiée d'une structure CMOS [1]

Comme vu précédemment, la source d'un transistor MOS est reliée à la masse dans le cas des NMOS ou à la tension d'alimentation dans le cas des PMOS. Si on désire écrire dans une mémoire (connectée au drain), le NMOS ne peut fournir que le niveau logique 0 et le PMOS que le niveau 1 (Figure II-5).

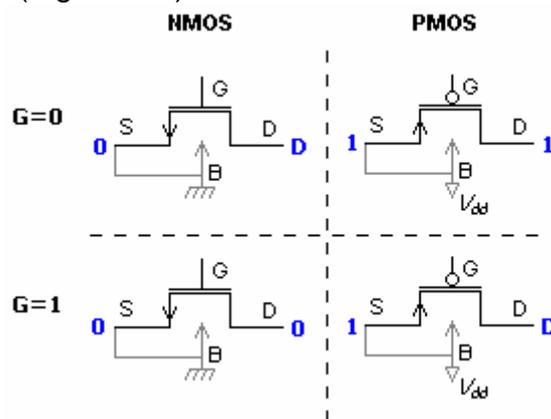


Figure II-5 : Etats du drain D d'un NMOS et d'un PMOS en fonction de la grille G

Il est alors nécessaire d'avoir les deux transistors en duo, d'où l'intérêt du CMOS. L'exemple le plus simple est l'implémentation de la fonction NOT sur un seul CMOS. La tension à inverser ( $V_{in}$ ) est appliquée sur la grille de chaque transistor, et la tension de sortie inverse ( $V_{out}$ ) est récupérée sur les drains (Figure II-6).

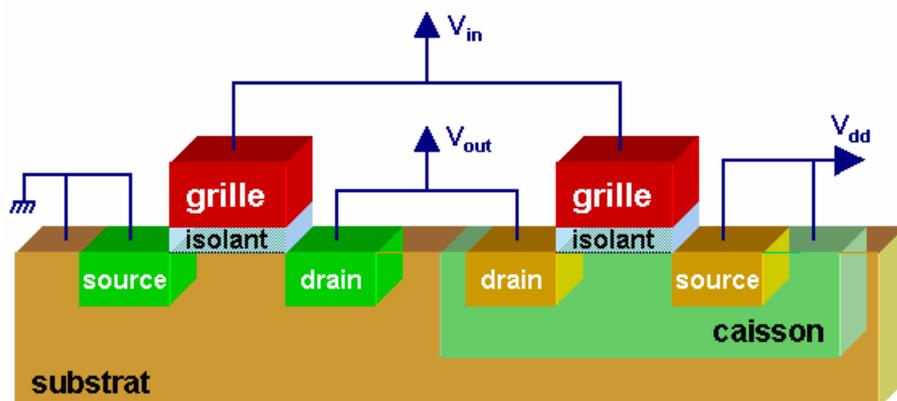


Figure II-6 : Fonctionnement d'un inverseur [1]

## II.C. Problème du CMOS

Le CMOS décrit précédemment est réalisé en technologie « Bulk ». Son principal inconvénient est qu'elle n'isole pas électriquement les 2 transistors. Les jonctions des zones dopées P et N font apparaître un thyristor [3] (Figure II-7).

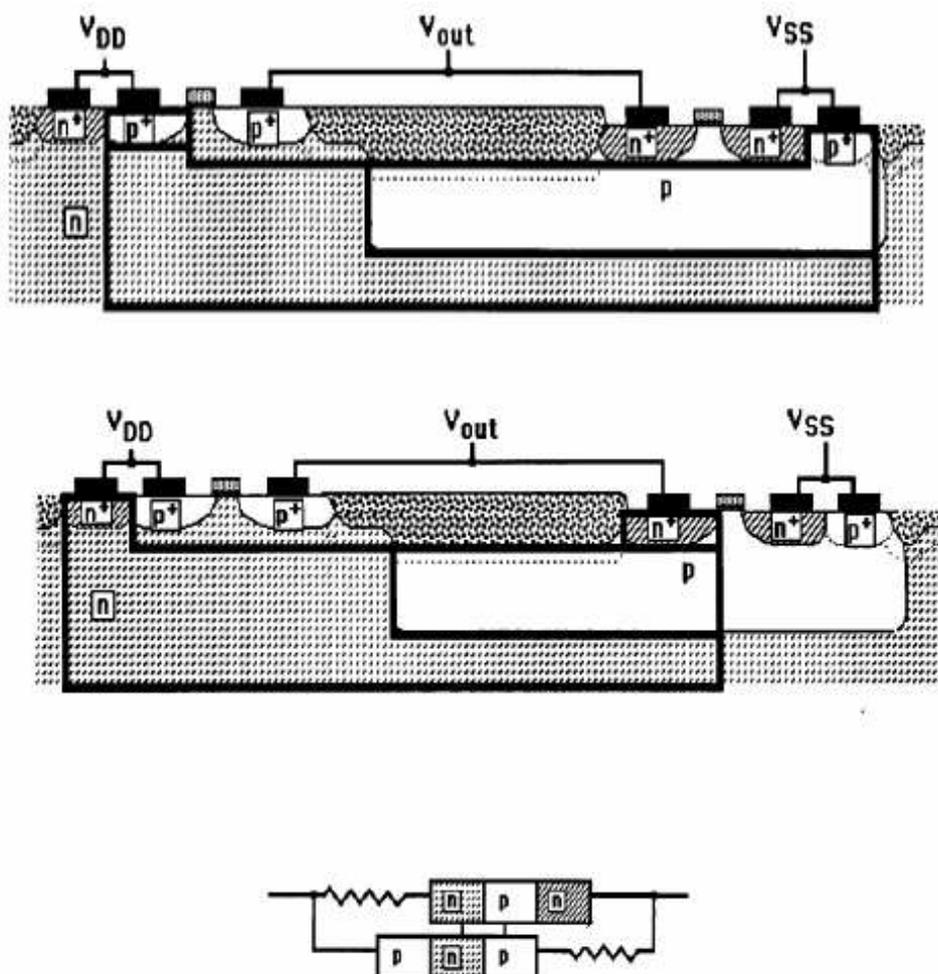


Figure II-7 : Connexion des zones dopées formant le thyristor

Une particule déposant suffisamment d'énergie, créant ainsi des paires électron-trou, peut mettre ce thyristor en conduction et détruire le transistor. Cet effet est appelé le Latch-up. La technologie 'Silicon On Insulator' (SOI) apporte une amélioration des performances. Les CMOS SOI dissipent moins d'énergie et la vitesse des états transitoires des signaux électriques, en particulier sous irradiation, est plus faible que chez les CMOS « Bulk » [4]. La source S et le drain D sont déposés sur une couche de  $\text{SiO}_2$  et sont ainsi isolés de B, faisant disparaître le thyristor, et ainsi la sensibilité aux « Latch-up » (Figure II-8).

Cette caractéristique les rend plus résistants aux effets singuliers induits par des radiations. Cependant, la technologie SOI, de par son utilisation du dioxyde de silicium  $\text{SiO}_2$  juste sous le canal, reste plus sensible à l'effet de dose que la technologie « Bulk ». Ce phénomène, dû à l'effet de piégeage de charges, conduit à des dysfonctionnements

qui limitent les progrès apportés par cette nouvelle technologie SOI [5]. De plus, l'augmentation de charges positives piégées crée un ensemble de champs électriques parasites, dont la conséquence principale est la création de courants de fuite amenant à l'augmentation du courant de consommation général du circuit et finalement à un vieillissement accéléré [6].

Les circuits FPGA que nous testons sont de type A54SX72A et sont produits avec la technologie « Bulk ». Ils sont par conséquent moins sensibles à l'effet de piégeage mais ils restent probablement sensibles aux effets singuliers et aux « Latch-Up ». La figure II-8 illustre la différence conceptuelle entre les technologies « Bulk » et « SOI ».

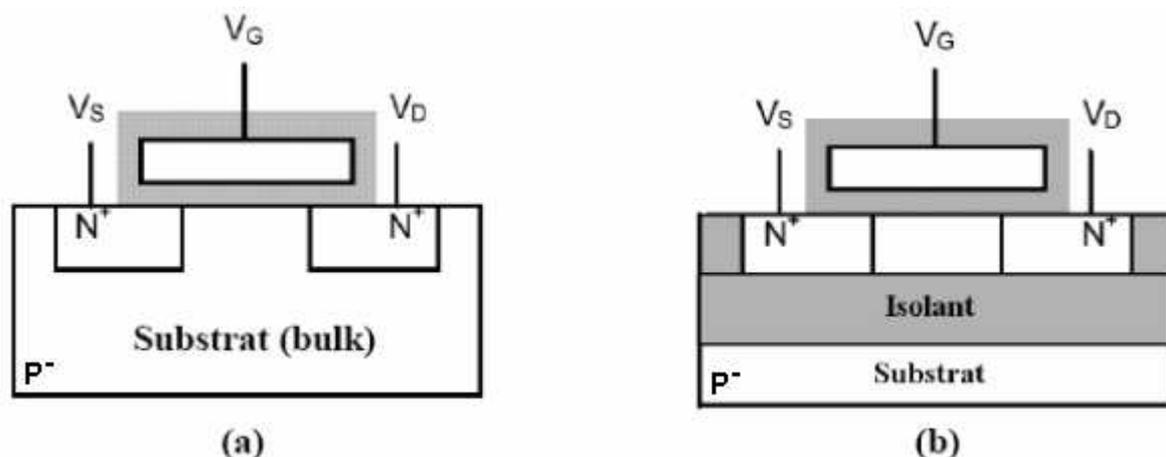


Figure II-8 : Illustration de (a) la technologie « Bulk » et (b) la technologie « SOI »

## II.D. Modélisation d'un Circuit Intégré (CI)

### II.D.1. Première modélisation sous LabVIEW

En vue de comprendre le comportement du FPGA sous irradiations, j'ai modélisé, sous LabVIEW, un composant élémentaire de base représenté par un simple registre à décalage. LabVIEW permet de créer des instruments virtuels (vi). Chaque instrument est représenté par une icône graphique encapsulant un code permettant de reproduire les fonctionnalités de l'instrument ou du composant.

#### II.D.1.a. Signaux en entrées/sorties des composants

A chaque signal d'entrée sortie est associé un identifiant représenté par un nombre. Les 5 signaux d'entrées/sorties sont alors définis comme suit :

- « -2 » : le signal est forcé au niveau bas (connexion à la masse)
- « -1 » : le signal est au niveau bas mais pas directement relié à une masse,
- « 0 » : le niveau du signal est indéfini,
- « 1 » : le signal est au niveau haut mais pas directement relié à la tension d'alimentation  $V_{cc}$ ,
- « 2 » : le signal est forcé au niveau haut (connexion à  $V_{DD}$ ).

#### II.D.1.b. Composants élémentaires :

Les trois composants de bases nécessaires à la simulation sont définis par les 'vi' suivants :

**1) le vi NMOS** : c'est le vi représentant le fonctionnement d'un transistor NMOS. Sa représentation graphique est représentée sur la Figure II-9.

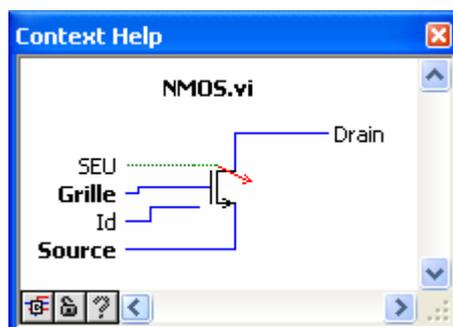


Figure II-9 : Connexions du vi « NMOS »

**2) le vi PMOS** : c'est le vi représentant le fonctionnement d'un transistor PMOS, il est représenté sur la Figure II-10.

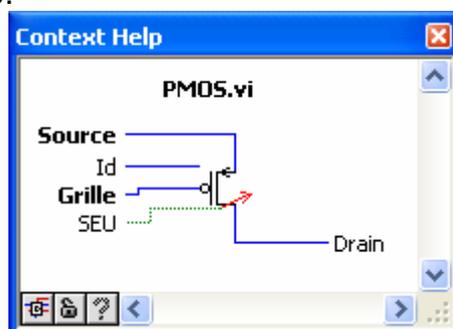


Figure II-10 : Connexions du vi « PMOS »

Chacun des deux vi NMOS et PMOS dispose des connexions normales « Grille », « Source » et « Drain », mais aussi d'une entrée «SEU ». Il s'agit d'un booléen grâce auquel on peut inverser la sortie (le drain) d'un transistor par rapport à son fonctionnement normal, lorsque celui-ci est bloqué, pour simuler l'effet des radiations. Un SEU (Single Event Upset) est un événement singulier, dû au passage d'une particule, qui inverse l'état logique du drain par collection de charges (voir le paragraphe III.B).

L'entrée « Id » est utilisée pour identifier le transistor qui réalise l'opération. En effet, les vi NMOS et PMOS gardent en interne la valeur précédente de leur drain. Pour deux transistors NMOS, c'est le même vi qui est utilisé. Il est donc nécessaire de garder en mémoire les valeurs des drains de tous les transistors dans un tableau. La variable « Id » permet de retrouver la valeur précédente du drain dans le tableau. Par exemple pour le transistor NMOS, lorsque la grille est (le Tableau II-1 résume les valeurs prises par le drain) :

- Négative (niveau bas) : le transistor NMOS est bloqué et le drain garde l'état précédent. Avec une correction s'il était auparavant à la masse (-2), il reste négatif mais pas forcé (-1). De même s'il était connecté à  $V_{cc}$  (+2), il prend la valeur 1.
- Nulle (niveau indéfini) : si l'état de la grille est indéfini (0), il en est de même pour le drain (0)
- Positive (niveau haut) : le transistor est passant, le drain prend donc la valeur contenue dans la source.

Grille \ Drain	-2 ou -1	0	1 ou 2
-2 ou -1	-1	0	Source
0	0	0	Source
1 ou 2	1	0	Source

Tableau II-1 : Valeurs prises par le Drain d'un NMOS en fonction de sa valeur précédente, de la grille et de la source

De façon symétrique pour le PMOS, on obtient le comportement décrit dans le Tableau II-2 :

Grille \ Drain	-2 ou -1	0	1 ou 2
-2 ou -1	Source	0	-1
0	Source	0	0
1 ou 2	Source	0	1

Tableau II-2 : Valeurs prises par le Drain d'un PMOS en fonction de sa valeur précédente, de la grille et de la source

Les cases surlignées correspondent aux états qui peuvent être inversés par un SEU.

**3° le vi Vote** : Ce vi est nécessaire pour connaître l'état entre certaines connexions de transistors, typiquement lorsque les drains d'un NMOS et d'un PMOS sont reliés. Il compare les 2 signaux (« In1 » et « In2 ») et décide de l'état de la connexion (« Sortie ») en fonction de l'état précédent, récupéré grâce à « Id » (Figure II-11 et Figure II-12)). Il est représenté par un point d'interrogation dans un carré. Il ne correspond pas à un composant réel du circuit et n'est donc pas soumis aux SEU.

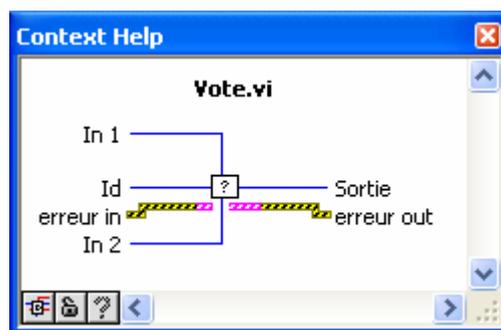


Figure II-11 : Connexions du vi « Vote »

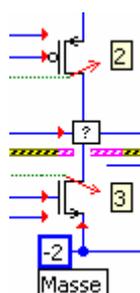


Figure II-12 : Utilisation du vi « Vote » entre les drains d'un NMOS et d'un PMOS

Si jamais le vi de vote reçoit 2 signaux 2 et -2, il envoie une erreur (Masse et  $V_{cc}$  connectés). Si les 2 signaux valent -1 et 1 ou tous les deux 0, la sortie précédente est renvoyée. Le Tableau II-3 indique les différentes valeurs de sortie possibles :

-2	-2				
-1	-2	-1			
0	-2	-1	Sortie prec		
1	-2	Sortie prec	1	1	
2	0 (erreur)	2	2	2	2
In1 In2	-2	-1	0	1	2

Tableau II-3 : Valeurs de sortie du vi de vote en fonction de ses 2 entrées In1 et In2 et de son état précédent (Sortie prec)

### II.D.1.c. Modélisation d'un registre à décalage

A partir des trois vi précédents, il est possible de construire une bascule D, qui correspond à un bit mémoire dans un registre à décalage (Figure II-13). Ce modèle de bascule D, constitué de 11 transistors (5 PMOS et 6 NMOS), a été utilisé au CERN pour caractériser des transistors de technologie 0.25 $\mu$ m [7].

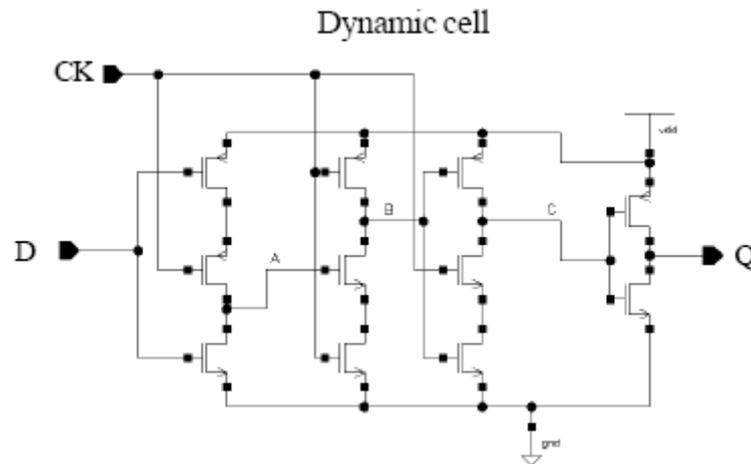


Figure II-13 : Schéma électrique d'une cellule dynamique (bascule D)

Par la suite, je supposerai que la bascule D représentée sur la figure II-13 est représentative de celle du FPGA d'Actel puisqu'il s'agit de la même technologie. Les détails des bascules d'Actel ne peuvent pas être fournis dans le cadre de ce travail. La bascule est simulée en reliant les transistors et en plaçant les vi **vote** entre les vi **PMOS** et les vi **NMOS**. Le câblage des vi est indiqué sur la figure II-14.

Le vi « registre à décalage » utilise ce modèle et simule un cycle d'horloge en interne (état bas puis état haut) sur un nombre défini de bascules (« Nb bits »). Pour être plus réaliste, j'ai aussi donné la possibilité aux SEU de se produire soit avant le front montant, soit après. Il m'a paru nécessaire de distinguer ces étapes car les transistors ne se trouvent pas dans les mêmes états avant et après le front, ce qui modifie leur sensibilité

au passage d'une particule. Cette particularité nous amène à considérer 22 cas possibles qui sont résumés sur la Figure II-15.

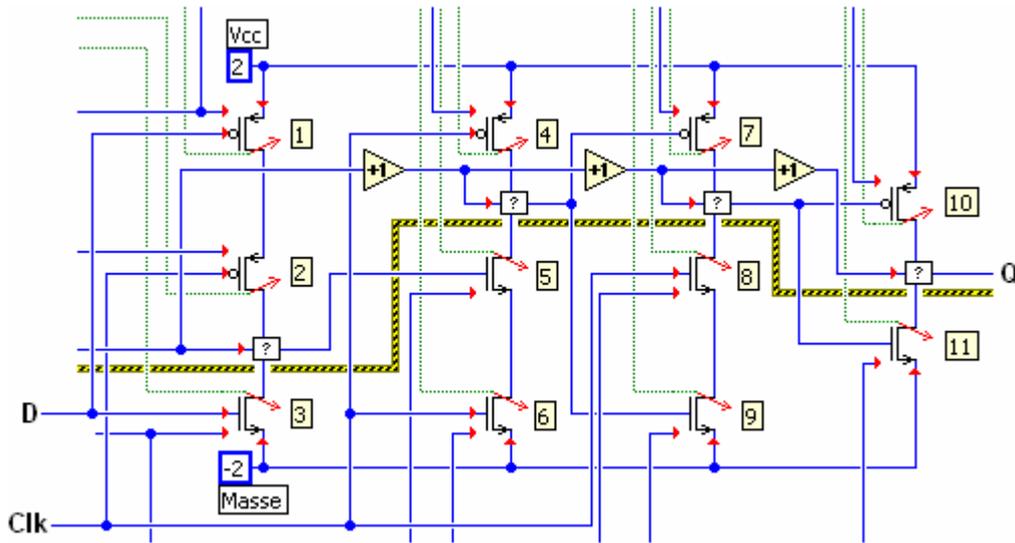


Figure II-14 : Représentation d'une bascule D au niveau des transistors

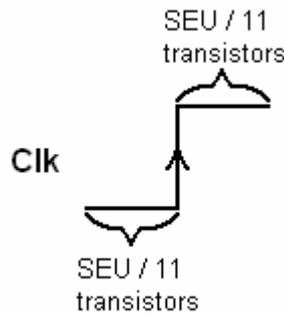


Figure II-15 : Les 22 possibilités d'apparition d'un SEU (11 transistors \* 2 demi périodes d'horloge)

Il est nécessaire de fournir au vi « registre à décalage » l'entrée « In » (booléen) et un cluster de 2 tableaux regroupant l'ensemble des SEU sur chaque transistor pendant les 2 demi-périodes d'horloge à simuler (« SEU sur cycle d'horloge »). Chaque élément des tableaux contient 11 booléens pour imposer les SEU sur chacun des 11 transistors composant une bascule (Figure II-16).

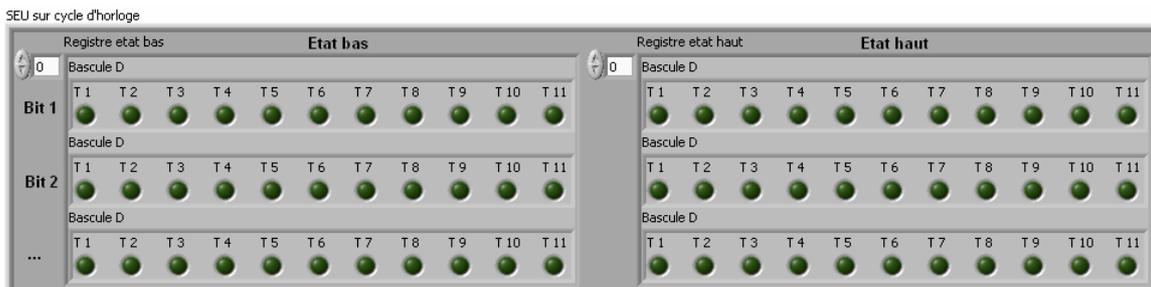


Figure II-16 : Tableau permettant d'affecter des SEU à n'importe quel transistor, aussi bien avant qu'après le front montant de l'horloge

La sortie du registre est récupérée avec la sortie « Out ». Une erreur est renvoyée (via les vi vote) si une masse a été connectée à la tension d'alimentation (Figure II-17).

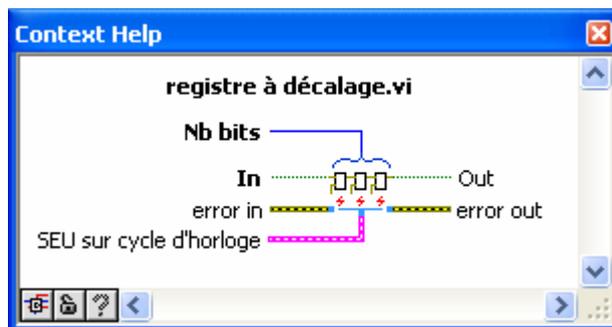


Figure II-17 : Connexions du vi « Registre à décalage »

#### II.D.1.d. Test du registre à décalage

Un autre vi, nommé « Test d'un registre (statistique) », crée aléatoirement un pattern d'une longueur « Nb valeurs » et l'envoie bit à bit dans un registre à décalage constitué de « Nb bits » bascules D (Figure II-18). Ici, il est nécessaire de préciser le nombre total de bits (et non de patterns) à envoyer « Nb envois » et la probabilité qu'un transistor soit soumis à un SEU (inversion de la valeur de son drain) « P(SEU) [%] ».

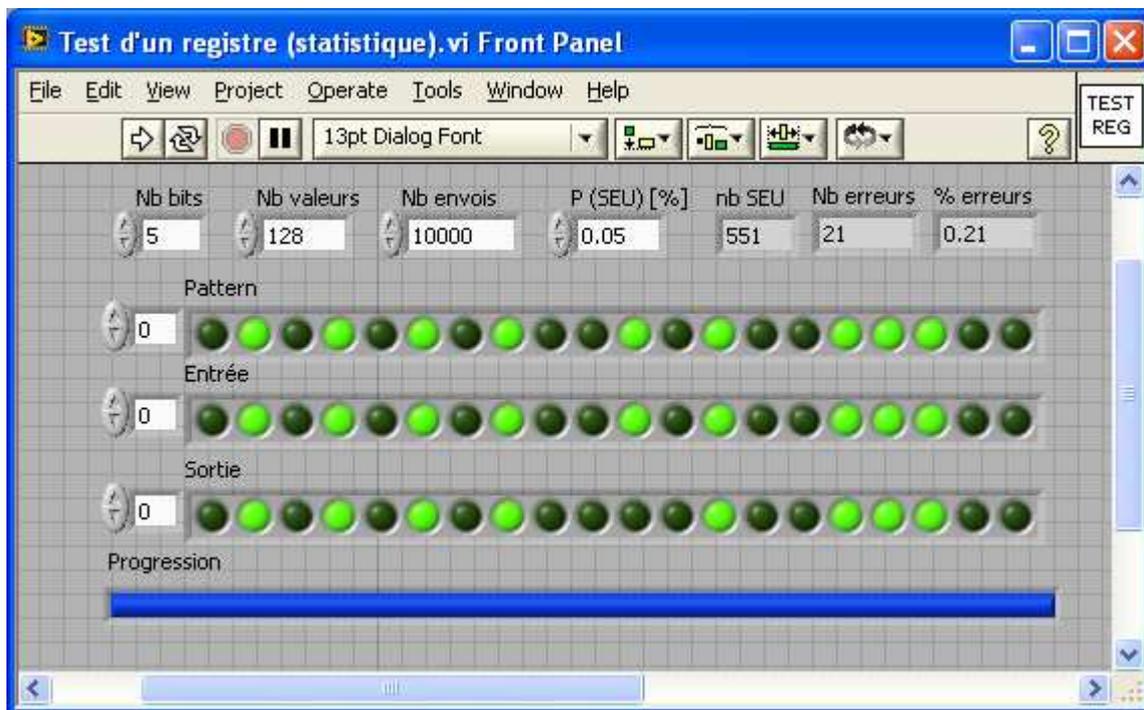


Figure II-18 : Face avant du programme de test d'un registre à décalage sous irradiations.

Le programme renvoie le nombre total de SEU (« nb SEU ») qui se sont produits sur les transistors. Parmi ces SEU, seule une fraction va conduire à une erreur à la sortie de la bascule (« Nb erreurs »). Le nombre d'erreurs est aussi ramené au pourcentage d'erreurs « % erreurs » par rapport au nombre de bits envoyés. Une barre de progression permet de savoir où en est le déroulement de la situation.

Pour mieux comprendre comment le nombre d'erreurs évolue en fonction des différents paramètres, j'ai réalisé un autre programme nommé « Test d'un registre (mathématique) », qui se contente de balayer toutes les possibilités de SEU en fonction de l'état de la bascule (Figure II-20).

Etant donné la très faible proportion de doubles SEU attendus (voir le paragraphe V.A), je ne présente ici que les cas où un seul transistor peut être touché. Il n'y a donc que 11 cas possibles. Les transistors peuvent être touchés soit avant, soit après le front d'horloge, ce qui conduit à 22 cas différents.

Le dernier paramètre qui influence la possibilité d'erreurs est le signal d'entrée de la bascule (« D »). Il faut distinguer les cas D=0 et D=1. Pour être sûr de ne pas passer à côté d'autres possibilités, j'ai considéré en plus l'état précédent de la bascule. Il en ressort 4 transitions possibles (Figure II-19) :

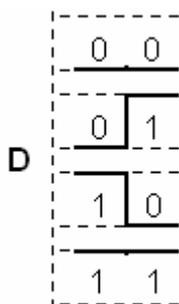


Figure II-19 : les 4 combinaisons de bits sur 2 coups d'horloge

En résumé, j'ai considéré 22 x 4, soit 88 possibilités ; la simulation n'a renvoyé que 4 erreurs possibles (Figure II-20) :

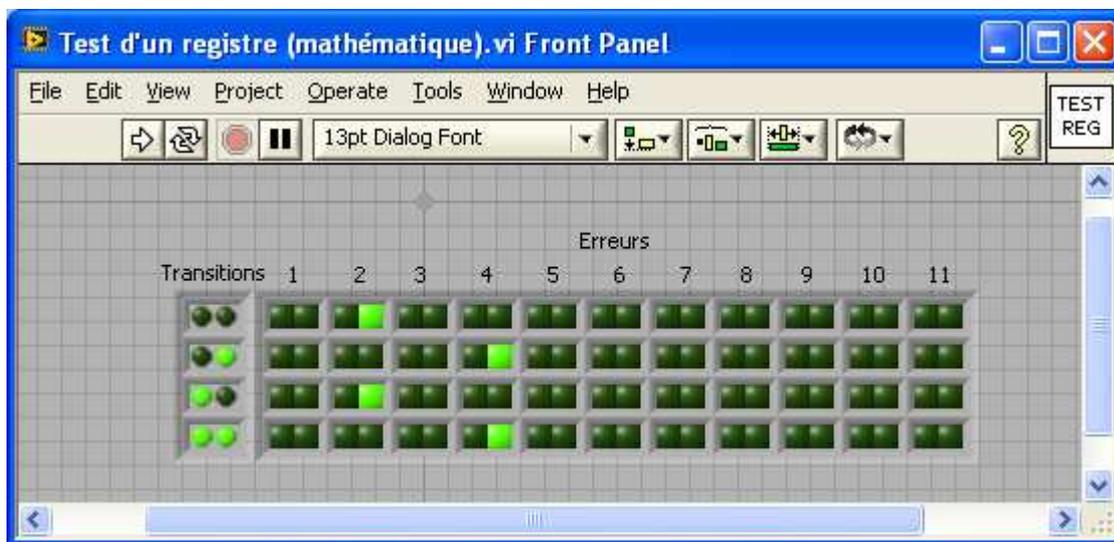


Figure II-20 : Face avant du vi de test mathématique d'un registre à décalage sous radiations.

Chaque transition (sur la gauche) correspond à une ligne. Pour une seule transition, les 11 transistors disposent de 2 booléens. Celui de gauche si le SEU a eu lieu à l'état bas et celui de droite pour l'état haut. Un booléen « allumé » correspond à un SEU.

En regardant de plus près, on s'aperçoit que l'état précédent de D ne modifie pas la possibilité d'avoir une erreur. Il ne reste alors que 2 cas :

- lorsque D=0, un SEU après le front montant sur le transistor numéro 2 provoque une erreur en sortie (qui vaut « 1 » au lieu de « 0 ») ;
- lorsque D=1, un SEU après le front montant sur le transistor numéro 4 provoque une erreur en sortie (qui vaut « 0 » au lieu de « 1 »).

La probabilité d'avoir une erreur est donc la même, quelque soit la valeur de D (si les transistors 2 et 4 ont la même sensibilité aux radiations). Il ne reste donc plus qu'une possibilité sur 22 pour qu'un SEU génère une erreur sur un bit. Seul un transistor sur les 11 a 50% de chances de provoquer une erreur sur la valeur de sortie de la bascule.

## II.D.2. Les limites du modèle

### II.D.2.a. La complexité de l'architecture interne.

Le modèle que j'ai réalisé reste très illustratif. En effet, dans la réalité les transistors dans un circuit intégré ont une disposition spéciale en cellules logiques : R-Cell et C-Cell représentées sur la Figure II-21 [8]. Pour compléter mon modèle, il aurait fallu connaître l'organisation et la géométrie des transistors dans les deux types de cellules. Cependant, même si je ne dispose pas de l'information exacte, le modèle reste assez générique pour pouvoir y inclure les détails des cellules d'Actel ou d'une autre firme quand celles-ci seraient disponibles.

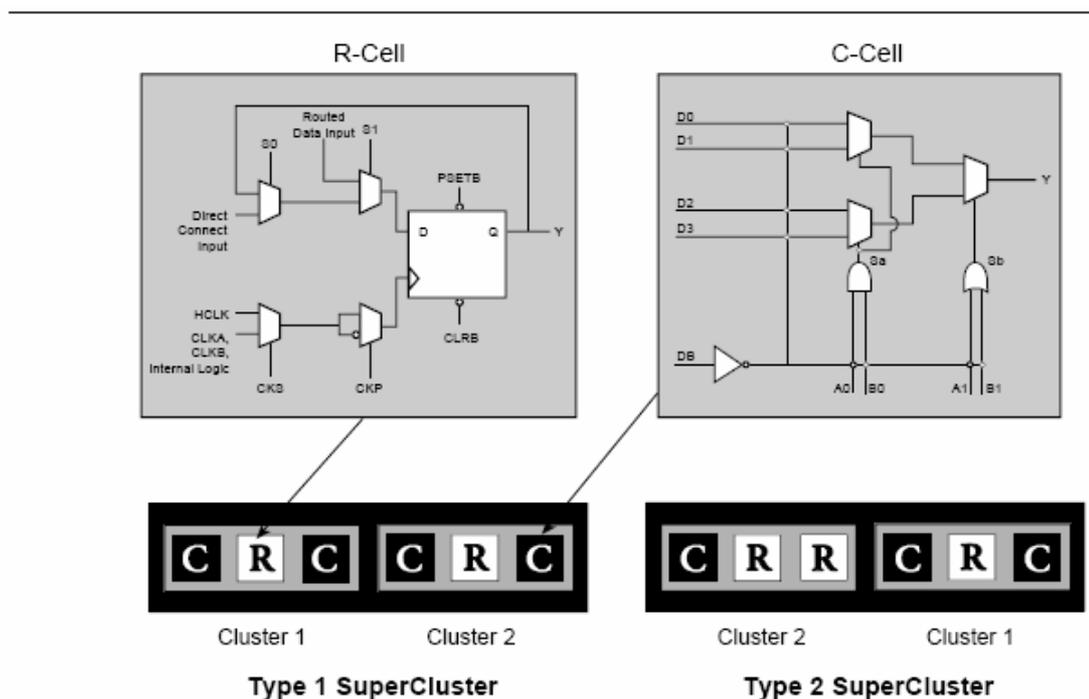


Figure 4 • Cluster Organization

Figure II-21 : Organisation des clusters dans un FPGA A54SX72-A [8]

En principe, les cellules sont organisées en clusters et en super clusters qui sont reliés entre eux par des circuits d'interconnexions. Ces circuits sont différents pour les deux types de super clusters. Certaines connexions entre cellules et clusters sont directes ; d'autres nécessitent jusqu'à 5 « fusibles » à faire fondre lors de la programmation (Figure II-22).

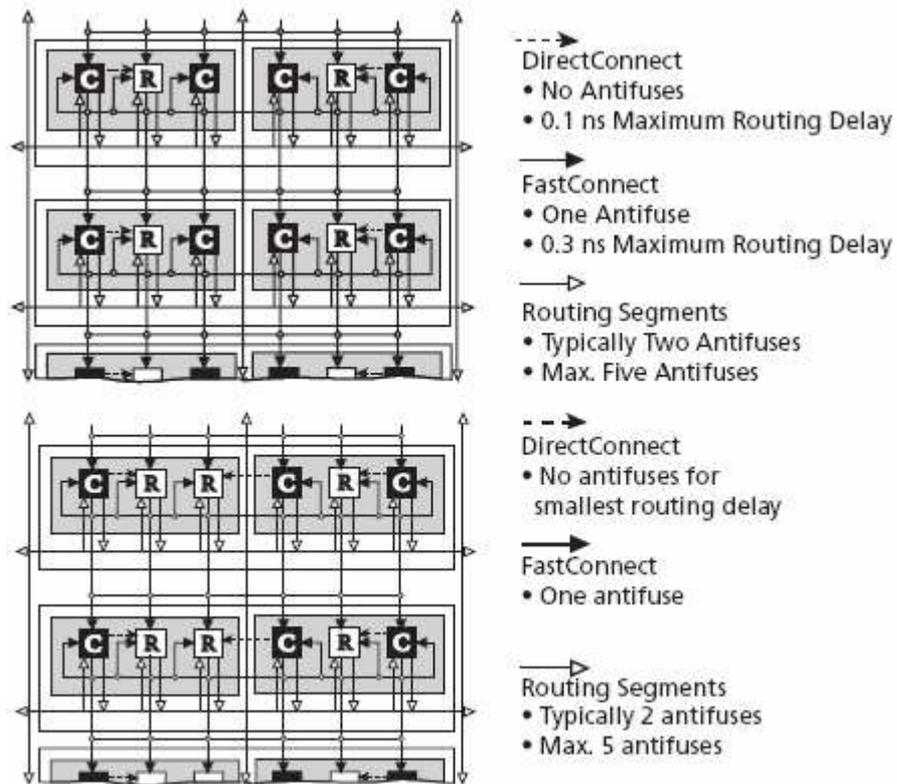


Figure II-22 : Organisation des connexions des super clusters 1(en haut) et 2 (en bas) [8]

Pour prendre en compte l'effet des radiations sur ces circuits d'interconnexion, il faudrait, tout comme les transistors, connaître leur géométrie. D'autant plus que pour le FPGA A54SX72-A, les pistes sont organisées sur 4 couches (Figure II-23).

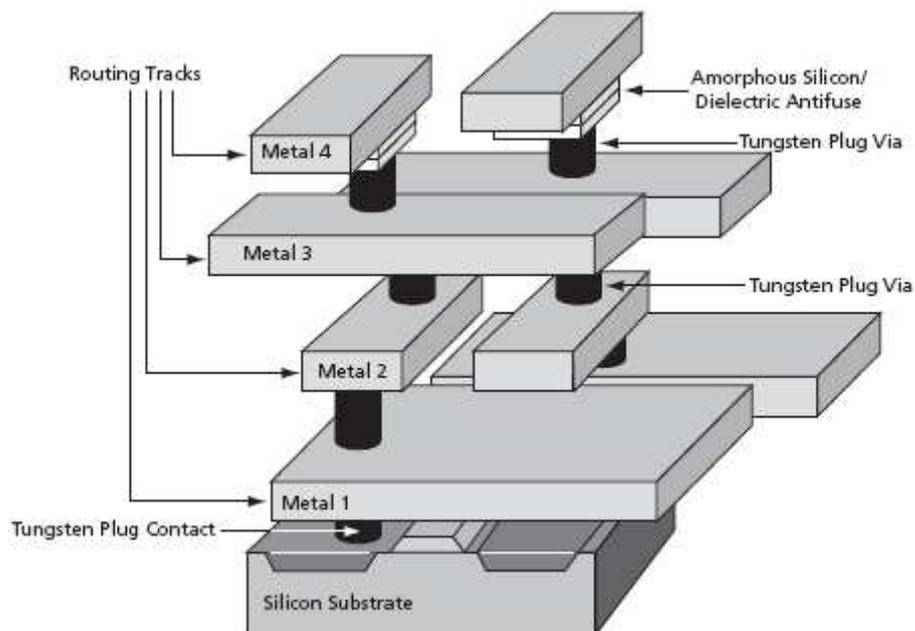


Figure II-23 : Organisation en couche des éléments d'interconnexion dans les FPGA A54SX72-A [8]

### II.D.2.b. L'importance des oxydes

L'interaction entre transistors dépend des oxydes d'isolation qui subissent eux aussi les effets de dose et créent des champs parasites supplémentaires. Le meilleur exemple est celui de l'effet « bec d'oiseau » (« Bird's beak »). De chaque côté du canal de conduction, l'oxyde de grille s'épaissit pour former une barrière qui isole le transistor de ses voisins. Sur une vue en coupe, l'oxyde ressemble à une tête d'oiseau dont le bec vient en contact avec l'oxyde de grille (Figure II-24). Le bec est lui aussi soumis au champ électrique de la grille et va donc piéger des charges positives. De plus, étant bien plus épais que l'oxyde de grille, il va emmagasiner plus de charges, et induire des courants de fuite entre drain et source qui contournent le canal situé sous l'oxyde de grille [9].

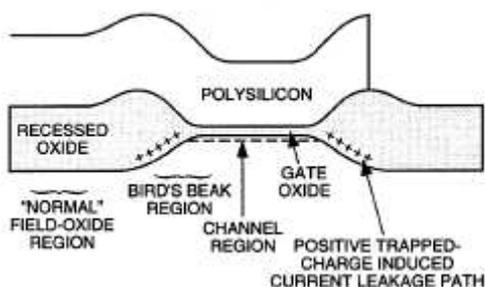


Figure II-24 : Piégeage des charges positives dans les « bec d'oiseau » des oxydes

Je dispose donc d'informations sur les effets des radiations pour un transistor isolé, au travers de publications qui mettent en évidence le décalage des tension de seuil et l'augmentation du courant de consommation qui accompagnent l'effet de dose intégrée, ainsi que les événements singuliers (SEU...) qui induisent des erreurs dans les mémoires logiques [10] [11]. Il est possible de classer les pièges de charges dans les oxydes en plusieurs catégories [12] et des méthodes expérimentales mettent en évidence les effets séparés de chacun de ces pièges [13], mais aussi leurs répartitions spatiale et énergétique dans les oxydes [14]. La connaissance des phénomènes au niveau d'un transistor est cependant insuffisante pour modéliser le comportement d'une puce entière. En effet, les effets collatéraux de l'irradiation (bec d'oiseau, impact sur les circuits d'interconnexions) ne sont pas quantifiables car je n'ai pas une complète connaissance de toute la structure du CI.

D'autres publications concernent des circuits logiques entiers [15] [16] pour lesquels les 2 effets étudiés sont la dose totale et les événements singuliers. Certains paramètres sont étudiés pour connaître leurs implications dans le dysfonctionnement des circuits, comme la fréquence de fonctionnement [17] ou la tension de pompage de charges [18]. Ces implications sont détaillées dans le paragraphe III.A.7.

En résumé, dans ce chapitre j'ai réalisé un modèle numérique simple permettant d'illustrer l'apparition des événements SEU. C'est une approche que j'ai choisie pour illustrer la problématique de mon travail de thèse. Cependant, la modélisation multi-physique qui permettrait de simuler correctement l'origine physique de l'apparition d'un SEU reste en dehors du cadre de travail de ma thèse.

## CHAPITRE III

### EFFETS DES RADIATIONS SUR LES COMPOSANTS MOS

---

### **Résumé du CHAPITRE III :**

*Sous l'effet des radiations, les composants électroniques peuvent montrer des changements d'états qui sont à l'origine de dysfonctionnements temporaires ou permanents. C'est particulièrement le cas des composants semi-conducteurs. Le dépôt d'énergie d'une particule de haute énergie dans un composant semi-conducteur est principalement dû aux interactions coulombiennes. Il est comptabilisé localement dans le composant par des ionisations et des excitations atomiques ou moléculaires diverses. Quand la particule incidente est lourde, c'est le cas des hadrons tels que les protons ou les neutrons, les interactions nucléaires peuvent induire des déplacements ou des fragmentations de noyaux atomiques pouvant induire un changement des propriétés chimiques ou physiques du milieu, comme dans le cas des implantations d'ions. Dans le cas qui nous concerne, c'est-à-dire le comportement de composants CMOS sous irradiations dans le tunnel du LHC, les dysfonctionnements sont majoritairement causés par les processus coulombiens susceptibles de créer des distributions de charges électriques incompatibles avec le fonctionnement correct du composant. La quantité d'énergie cédée par la particule incidente est accumulée dans le silicium (Si) du circuit intégré (CI). Elle engendre un piégeage de charges positives (trous) dans les isolants (en SiO<sub>2</sub>). Ces charges créent des champs parasites qui perturbent le fonctionnement des composants élémentaires du circuit, c'est-à-dire les transistors. Les dysfonctionnements ou leur probabilité d'apparition sont quantifiés en fonction de la dose reçue par le circuit, c'est-à-dire la quantité d'énergie reçue par unité de masse exprimée en Gray. Un Gray est égal à un joule par kilogramme.*

*C'est un exercice délicat de calculer la dose reçue par un élément de matière car elle ne correspond pas forcément à l'énergie libérée par les particules radiatives dans cette matière. La dose est l'énergie effectivement absorbée par cette matière. Dans le cas de composants fins, tels que les circuits CMOS, une partie de l'énergie libérée sort de la matière.*

*Les charges piégées dans les oxydes se libèrent en fonction du temps et de la température en suivant le modèle dit modèle de guérison. Le débit de dose et la température du circuit sont donc des paramètres importants dans la modélisation du comportement du circuit ainsi que pour la quantification des probabilités d'apparition/disparition d'erreurs dans son fonctionnement.*

*Nos circuits sont des FPGA de technologie CMOS. Des tests [18] ont déjà mis en évidence le lien entre la panne fonctionnelle d'un FPGA et la diminution d'une tension de référence du FPGA ( $V_{pump}$ ) due aux radiations. D'autres tests ont fait ressortir l'importance de la fréquence de fonctionnement des FPGA, pour une même température et même conditions d'irradiations. Il est utile de distinguer entre un événement singulier (SEU pour Single Event Upset) et une panne fonctionnelle temporaire ou permanente. Pour caractériser les événements singuliers que sont les changements d'états logiques causés par une particule ionisante, on utilise :*

- *la section efficace,  $\sigma$ , propre au circuit et exprimée en nombre d'erreurs.cm<sup>2</sup>,*
- *le transfert d'énergie linéique (TEL), ou Linear Energy Transfert (LET), propre au faisceau de particules incidentes et exprimé en MeV.cm<sup>2</sup>.mg<sup>-1</sup>.*

*Pendant mes tests, j'ai étudié le comportement des FPGA sous irradiations avec des photons de 10keV avec une source à rayons X au CERN, et avec des protons de 63 MeV à PSI (Paul Sherrer Institute) à Villigen en Suisse.*

### III.A. Le dépôt d'énergie dans la matière

Les deux interactions coulombienne et hadronique (interaction forte) sont à l'origine de la perte d'énergie d'une particule de haute énergie lors de la traversée de la matière. La quantité d'énergie cédée à la matière dépend à la fois de l'énergie de la particule incidente et de la nature de la matière traversée. En bout de compte, l'énergie effectivement reçue par un circuit est principalement due aux mouvements de charges électriques même si ces dernières ont été créées par un processus hadronique dans le circuit. Pour nos études, la quantification de l'énergie effectivement déposée dans le silicium par les radiations est cruciale pour pouvoir modéliser les dommages occasionnés. A titre d'illustration, la Figure III-1 représente les traces des particules dans un bloc de silicium. Il s'agit d'un faisceau de protons (traces bleues) entrant par la gauche, les traces d'autres couleurs représentent les particules secondaires créées dans le bloc. En pratique, la mesure de l'énergie déposée dans la matière nécessite l'utilisation de capteurs. Ceux-ci sont disposés dans et/ou autour du bloc de matière étudié. Des notions de dosimétrie seront nécessaires pour comprendre la grandeur effectivement mesurée pour quantifier l'énergie reçue par la matière.

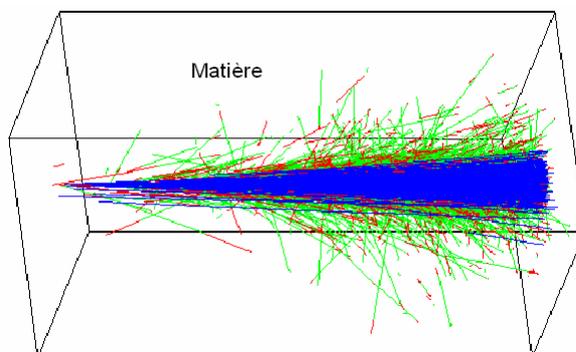


Figure III-1 : gerbe de particules provoquée par un faisceau dans la matière

#### III.A.1. Notions de dosimétrie

Les sources de radiations présentent des spectres de raies ou des spectres continus. Par exemple, dans le cas d'une source à rayons X, il s'agit d'un spectre de raies. Pour les tests avec des protons, on utilise un faisceau de particules à énergie fixe et le spectre correspond à une simple raie. Quel que soit le type de spectre, le flux énergétique généré par la source, noté  $\Phi$ , s'exprime comme une puissance (énergie par unité de temps).

L'énergie totale transportée par le faisceau est :

$$W = \int_0^T \Phi dt \quad (\text{joules})$$

Le flux d'énergie suivant une direction est donné par

$$I = \frac{d\Phi}{d\Omega} \quad (\text{Watt / steradian})$$

Pour un élément de surface  $dS$  perpendiculaire à la direction du faisceau, l'éclairement s'écrit :

$$E = \frac{d\Phi}{dS} = \frac{I}{R^2} \text{ si le faisceau est isotrope}$$

R étant la distance parcourue par le faisceau depuis son point d'origine. La fluence est définie comme l'intégrale sur le temps des tests de l'éclairement. C'est l'énergie totale ayant traversé la surface dS qui est donnée par

$$F = \int_0^T E(t) dt$$

Si je prends un élément de matière sphérique, centré en P et de rayon dr (Figure III-2), quel que soit l'orientation de ce volume, il présente toujours la même surface dS perpendiculaire à une particule incidente. Ainsi, il n'est pas nécessaire de distinguer les particules directes des particules secondaires afin de comptabiliser leur contribution énergétique dans ce volume :

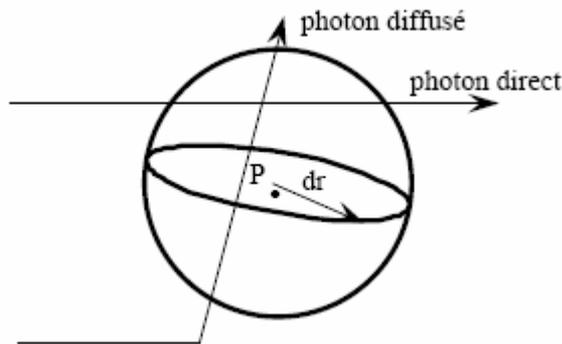


Figure III-2 : Sphère élémentaire de centre P et de rayon dr traversée par des rayons X

La surface d'interaction est  $dS = \pi.dr^2$

Qui correspond à l'éclairement:

$$E = \frac{d\Phi}{dS} = \frac{d\Phi}{\pi.dr^2}$$

Et la fluence s'écrit alors:

$$F = \frac{dW}{\pi.dr^2}$$

Faisons le bilan de l'énergie déposée dans la sphère élémentaire ( $dW_d$ ) :

$$dW_d = dW_e - dW_s$$

$dW_d$  représente l'énergie des particules entrantes ( $dW_e$ ) moins l'énergie des particules sortantes ( $dW_s$ ). Les particules sortantes sont en majorité des photons et des électrons, sinon des fragments nucléaires légers.

On définit le KERMA (Kinetic Energy Released per unit MAss) comme l'énergie déposée par unité de masse (exprimée en Gray) [19].

$$K = \text{KERMA} = \frac{dW_d}{dm} [\text{Gray}]$$

On peut négliger l'énergie de masse des protons qui s'arrêtent dans la sphère, car ils n'interagissent plus avec les noyaux (contrairement aux neutrons). Pour calculer correctement le KERMA, il faut que la constitution de la sphère soit homogène. Pour un diamètre de 5  $\mu\text{m}$ , bien supérieur à l'échelle atomique (donc sphère homogène) mais bien inférieur à la taille d'un composant électronique (donc sphère élémentaire), le KERMA est le volume de cette sphère que multiplie l'énergie déposée dans le silicium par unité de volume :

$$K = (14,55 \cdot 10^{14} \text{ eV} \cdot \text{cm}^{-3}) \times \left( \frac{4}{3} \pi \cdot (2,5 \cdot 10^{-4})^3 \text{ cm}^3 \right) \approx 10 \text{ keV}$$

Le KERMA est l'énergie cinétique cédée à l'intérieur de la sphère. Cependant, cette énergie cinétique cédée peut être absorbée dans ou en dehors de la sphère lors de l'effet photoélectrique ou de l'effet Compton (Figure III-3) par exemple.

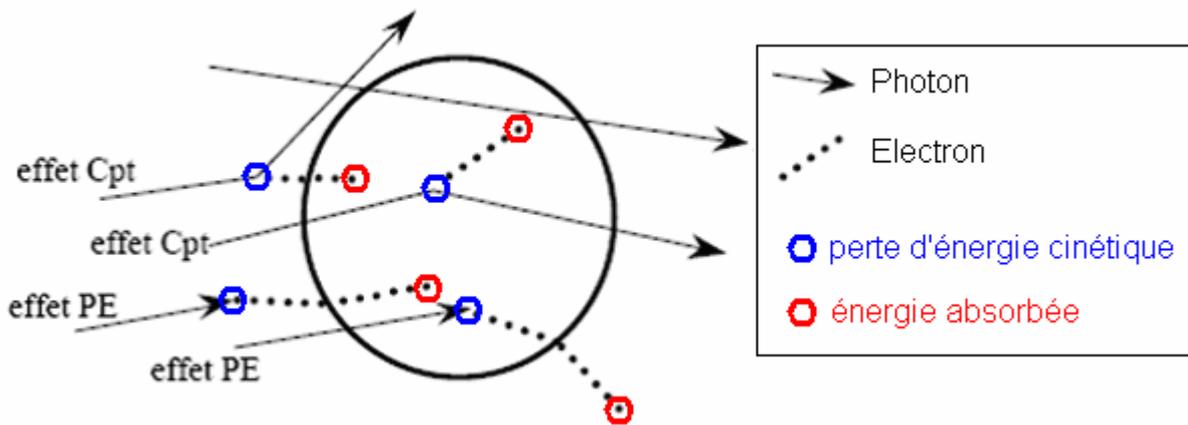


Figure III-3 : Inégalité entre la perte d'énergie cinétique et l'énergie absorbée dans la sphère élémentaire

Le KERMA ne correspond donc pas à la dose  $D$  qui est l'énergie effectivement absorbée ( $dW_a$ ) dans la sphère de masse  $dm$  :

$$D = \frac{dW_a}{dm}$$

Avec un faisceau de rayons X, on suppose l'équilibre électronique atteint après une certaine profondeur, de l'ordre de 10  $\mu\text{m}$  dans le silicium. L'énergie entrant dans la sphère est égale à l'énergie qui en sort, donc l'énergie absorbée dans la sphère devient égale à l'énergie cinétique qui y est créée. Ainsi le KERMA est égal à la dose :

$$K = D$$

Pour un faisceau de rayons X fixe et normal à la surface  $dS$ , l'énergie transférée dans la matière  $dW_t$  est donnée par la formule de l'atténuation :

$$dW_t = W_i \cdot \mu_a \cdot dx$$

Avec :

$W_i$  : Énergie incidente des photons,

$\mu_a$  : Coefficient d'absorption du matériau.

Le KERMA s'écrit alors :

$$K = \frac{dW_t}{dm} = \frac{W_i \cdot \mu_a \cdot dx}{\rho \cdot dS \cdot dx} = \frac{\mu_a}{\rho} \times \frac{W_i}{dS}$$

Par définition  $\frac{W_i}{dS}$  est la fluence énergétique du faisceau F donc :

$$K = \frac{\mu_a}{\rho} \times F$$

Cette relation lie une grandeur propre à l'énergie transférée à la matière (K) et l'énergie (F) véhiculée par le faisceau, indépendamment de la matière, par un coefficient caractéristique de cette matière. Si le KERMA est mesuré dans un milieu de référence (souvent de l'air), il est possible de déterminer le KERMA dans un matériau, grâce à la connaissance de sa densité et de son coefficient d'atténuation.

Dans le milieu de référence :  $K_0 = \frac{\mu_{a0}}{\rho_0} \times F$

Et le KERMA se calcule avec:  $K = K_0 \times \frac{\mu_a / \rho}{\left(\frac{\mu_a}{\rho}\right)_0}$

Cette dernière formule est souvent utilisée dans les calculs, à partir du moment où l'on se place dans les conditions où l'équilibre électronique est atteint.

La manière dont une particule cède son énergie, ou plus fondamentalement interagit avec une autre particule, est régie par la mécanique quantique. Lors de la traversée de la matière, une particule subit une succession d'interactions élémentaires. Dans le cas qui nous intéresse, il s'agit de l'interaction électromagnétique, et à moindre mesure de l'interaction forte ou nucléaire. Les photons ou les électrons sont les principaux responsables du dépôt local de dose. Le transport des électrons dans la matière est régi par la formule de Bethe-Bloch qui traite la perte d'énergie comme une fonction continue. En principe, l'électron subit une succession d'interactions élémentaires qui lui font changer sa trajectoire ou émettre des photons de freinage, réduisant ainsi son énergie initiale ; cette énergie est cédée dans le premier cas comme énergie de recul de noyaux atomiques et dans le deuxième cas comme l'énergie du photon émis. Le processus se répète jusqu'à un certain seuil en énergie. Les photons engendrés subissent également une succession de processus élémentaires, résumés dans le paragraphe suivant, et engendrant des particules secondaires d'énergies de plus en plus petites.

### III.A.2. Interaction des photons avec la matière

L'interaction des photons avec la matière passe principalement par phénomènes dépendants de l'énergie des photons incidents [20] :

III.A.2.a. L'effet photoélectrique (Figure III-4) :

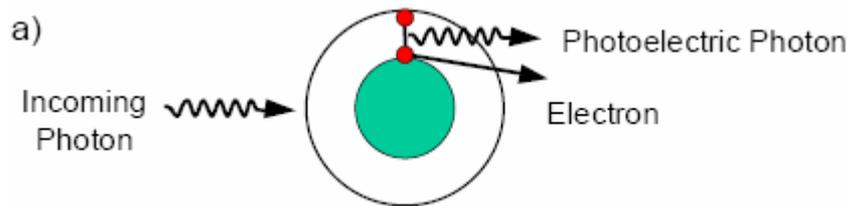


Figure III-4 : Effet photoélectrique [20]

Le photon incident est absorbé par un électron d'une couche atomique profonde qui est éjecté. Un autre électron d'une couche plus lointaine va prendre la place vacante en libérant un photon dit photoélectrique.

III.A.2.b. L'effet Compton (Figure III-5) :

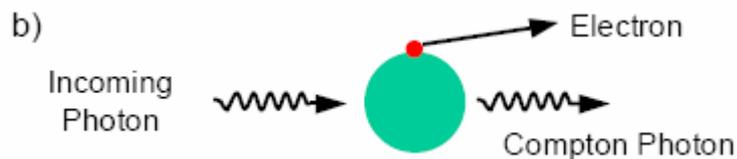


Figure III-5 : Effet Compton [20]

Le photon incident a suffisamment d'énergie pour éjecter un électron et continuer sur sa trajectoire avec une énergie plus faible.

III.A.2.c. La production de paires (Figure III-6) :

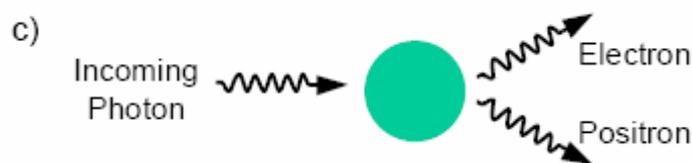


Figure III-6 : Production de paires [20]

Avec une énergie encore plus importante (au moins égale à deux fois la masse d'un électron), le photon interagit avec l'atome pour produire une paire électron/positron.

III.A.2.d. La relation entre ces effets

Pour les 3 effets, le principal résultat est l'ionisation de la matière par la création d'une paire électron/trou ( $e^-/h$ ) dans le cas des semi-conducteurs. La présence de ces effets ne dépend pas seulement de l'énergie du photon incident mais aussi de la charge électrique

du noyau (Z) qui définit le nombre d'électrons par atome de la cible. La Figure III-7 résume l'importance relative des trois effets en fonction du numéro atomique du milieu traversé.

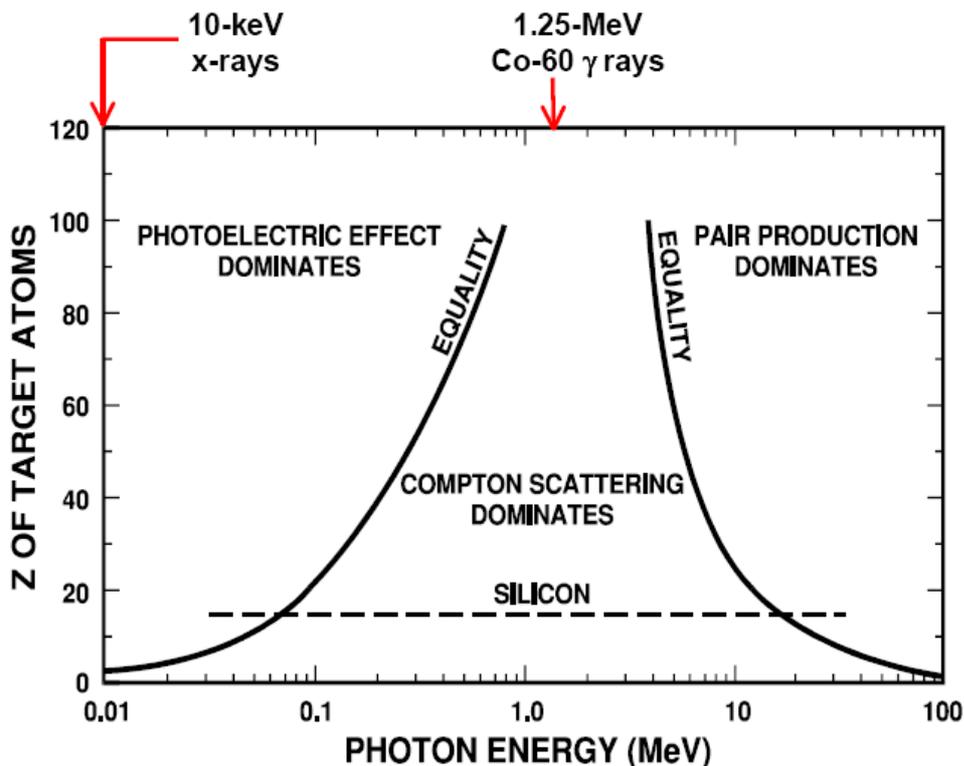


Figure III-7 : Importance relative de l'effet photoélectrique, de la diffusion Compton et de la production de paires, en fonction de l'énergie du photon incident [20]

En ce qui concerne les transistors MOS, le matériau principal est le silicium (Si) de  $Z=14$ . En dessous de 70 keV pour les rayons X, l'effet photoélectrique prédomine ; c'est le cas pour des rayons X de 10 keV que j'utiliserai au CERN. Les rayons gammas d'une source de  $^{60}\text{Co}$  ont une énergie de 1,25 MeV et interagissent principalement par effet Compton.

Les hadrons, particules formées de quarks (protons, neutrons, pions,...) et les ions ont un transfert d'énergie linéique (LET) très élevé par rapport aux photons et aux électrons ; une seule particule peut induire des erreurs dans les circuits CMOS.

### III.A.3. Effets des radiations sur les composants CMOS

La principale conséquence des radiations est l'ionisation des semi-conducteurs par la création de paires électron/trou ( $e^-/h$  pour electron/hole). Ces paires sont à l'origine des deux effets principaux :

- l'effet d'intégration de la dose (TID : Total Ionizing Dose) qui équivaut à une accumulation d'énergie dans les isolants des circuits.
- les effets instantanés ou effets singuliers (SEE : Single Event Effect) qui provoquent des dysfonctionnements. Ceux-ci nécessitent la création simultanée de beaucoup de paires, d'où le nom d'effet instantané. C'est pourquoi un SEE ne se produit que lors du passage d'une particule.

- un troisième effet apparaît lorsqu'on rencontre des particules massives : les interactions nucléaires qui provoquent des fragmentations nucléaires

La dose cumulée correspond à une quantité d'énergie déposée par unité de masse. Elle s'exprime en Gray ou en rad.  $1\text{Gy}=100\text{rad}=1\text{J/kg}$ . Le nombre de paires e-/h créées est proportionnel à la dose intégrée. Dans les semi-conducteurs, l'énergie nécessaire à la création d'une paire e-/h ( $E_p$ ) est liée à l'énergie de gap  $E_g$  par la relation empirique suivante :

$$E_p(\text{eV}) = 2.67 E_g(\text{eV}) + 0.87 \quad (\text{cas du Si}) \quad [20]$$

$$\text{Pour un isolant : } E_p(\text{eV}) = 2 E_g(\text{eV}) \quad (\text{cas du SiO}_2) \quad [20]$$

Le nombre de paires produites par Gray pour le silicium et le dioxyde de silicium est donné dans le Tableau III-1.

Matériau (Z)	Mobilité $\mu$ ( $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ) dans $\text{SiO}_2$	Densité ( $\text{g} \cdot \text{cm}^{-3}$ )	Bande interdite $E_g$ (eV)	Energie de création de paire $E_{e-h}$ (eV)	Densité de paires /Gy ( $\text{cm}^{-3} \cdot \text{Gy}^{-1}$ )
Si (14)		2,328	1,12	3,86	$3,73 \cdot 10^{15}$
$\text{SiO}_2$	$20(\text{e}^-)$ et $10^{-8}(\text{h}^+)$	2,2	9	18	$7,56 \cdot 10^{14}$

Tableau III-1 : Comparaison des caractéristiques du Si et du  $\text{SiO}_2$  [21]

Le  $\text{SiO}_2$  étant un isolant, les charges créées ne peuvent pas être évacuées par les électrons et les trous du matériau.

#### III.A.4. La recombinaison (annealing) initiale

Une fois les paires créées, elles ont tendance à se recombiner entre elles. Cependant, dans le  $\text{SiO}_2$  séparant la grille du substrat, la polarisation du transistor provoque la séparation puis la migration des électrons et des trous dans des directions opposées. Les électrons, plus mobiles que les trous, parviennent à sortir en quelques picosecondes (Figure III-8).

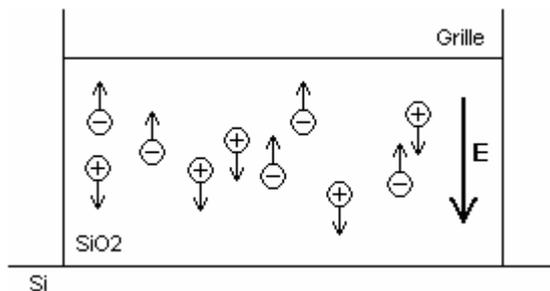


Figure III-8 : Migration des charges dans le  $\text{SiO}_2$  pour un NMOS polarisé

La fonction de non recombinaison de Yates [22] donne de façon empirique le pourcentage de paires qui parviennent à se séparer en fonction du champ électrique (en  $\text{MV/cm}$ ) induit par la polarisation de la grille (Figure III-9).

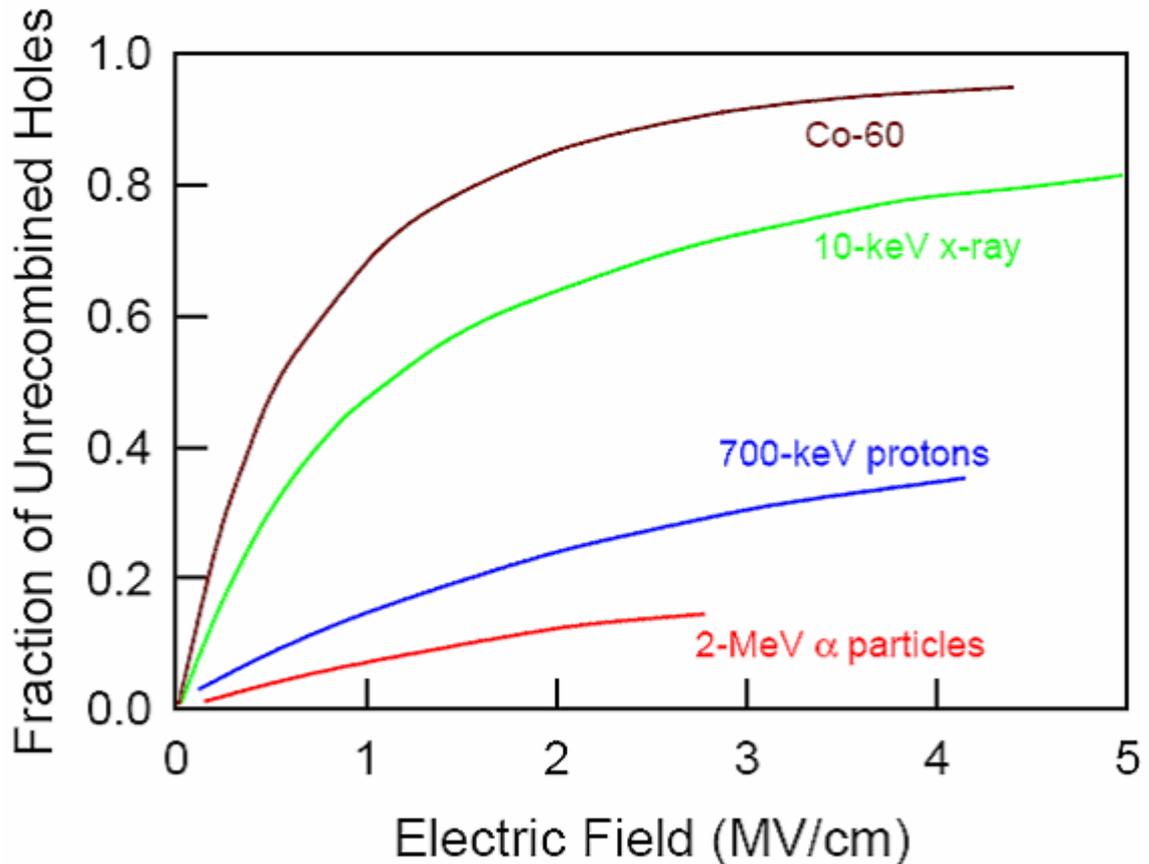


Figure III-9 : Fraction de trous échappant à la recombinaison initiale pour différents types de radiations [22]

Pour des Rayons X :

$$Y(E) = \left(1 + \frac{1.35}{E}\right)^{-0.9} \quad [23]$$

Il reste à déterminer le champ électrique appliqué. Les puces d'Actel A54SX72A sont polarisées à 3.3V/2.5V. L'épaisseur de l'oxyde de grille est de 5 nm =  $5 \cdot 10^{-9}$  m

Pour la périphérie  $E = 3,3V/(5 \cdot 10^{-9}m) = 6,6 \cdot 10^8$  V/m = 6,6 MV/cm

Pour le cœur  $E = 2,5V/(5 \cdot 10^{-9}m) = 5$  MV/cm

Pour de tels champs, la non-recombinaison est d'au moins 80%. Cependant, si lors du passage du photon ou de la particule ionisante le transistor n'est pas polarisé, les paires ne se séparent pas et la recombinaison est presque complète.

### III.A.5. Le piégeage des charges dans l'oxyde

La plupart des trous non recombinaisonnés se font piéger pendant leur migration vers l'interface de plus bas potentiel. Les pièges font apparaître des zones chargées actuellement répertoriées en 5 groupes [21] [12] (Figure III-10) :

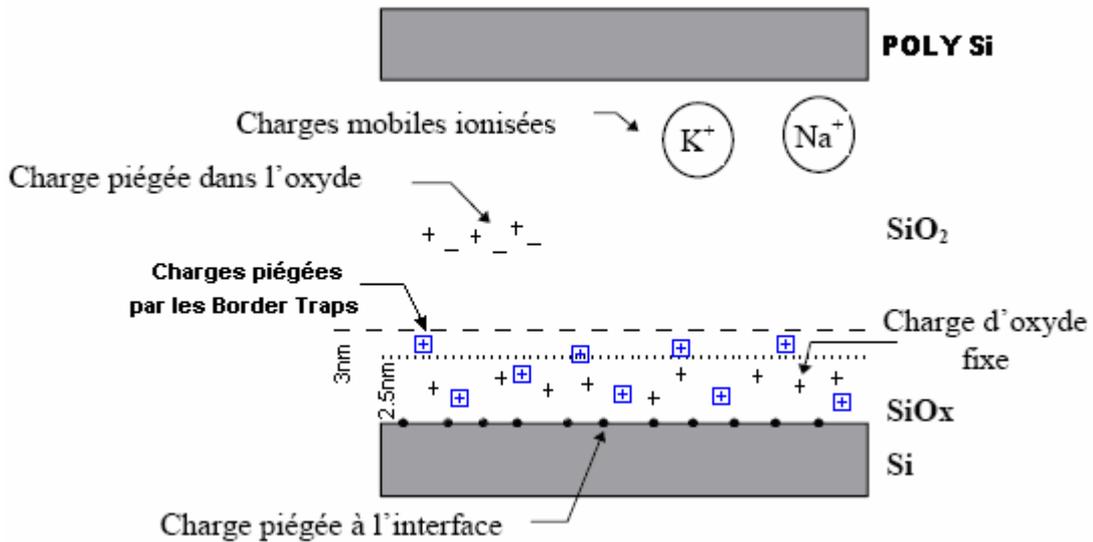


Figure III-10 : Les 5 types de charges présentes dans l'oxyde [21]

1.  $Q_f$  est la charge fixe d'oxyde. Elle se trouve à proximité de l'interface (2.5nm) et ne communique pas avec le silicium.
2.  $Q_m$  est la charge des ions mobiles. La présence de ces ions peut être due à des impuretés lors de la fabrication (de moins en moins avec les procédés actuels) ou aux déplacements atomiques dus aux radiations.
3.  $Q_{ot}$  est la charge piégée dans l'oxyde, due à des pièges créés par l'irradiation. Elle est majoritairement positive.
4.  $Q_{BT}$  est la charge positive piégée par des « Border Traps » près de l'interface (3nm) et qui sont capables de communiquer avec le silicium.
5.  $Q_{it}$  est la charge piégée à l'interface. Le piégeage est induit par le champ de polarisation de la grille. La charge est négative pour les NMOS et positive pour les PMOS.

Pour déterminer la nature des pièges, observons le SiO<sub>2</sub> au niveau atomique. Le dioxyde de silicium a une structure tétraédrique avec au centre l'atome de silicium et aux 4 sommets les atomes d'oxygène (Figure III-11).

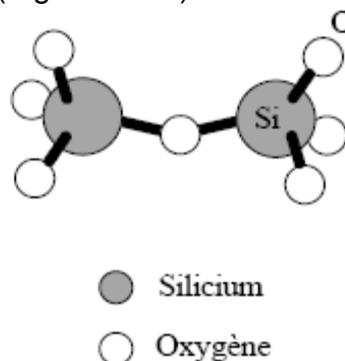


Figure III-11 : Structure atomique du SiO<sub>2</sub> [21]

Au niveau atomique, 2 configurations semblent prédominer quant à la nature des pièges :

- les centres E', dus à un atome d'oxygène manquant laissant 2 atomes de silicium chacun avec une liaison covalente libre. Un trou peut se faire piéger par une de ces liaisons (Figure III-12). Neuf types de pièges « E' » ont été répertoriés à ce jour [24], dépendant des liaisons atomiques de l'environnement.

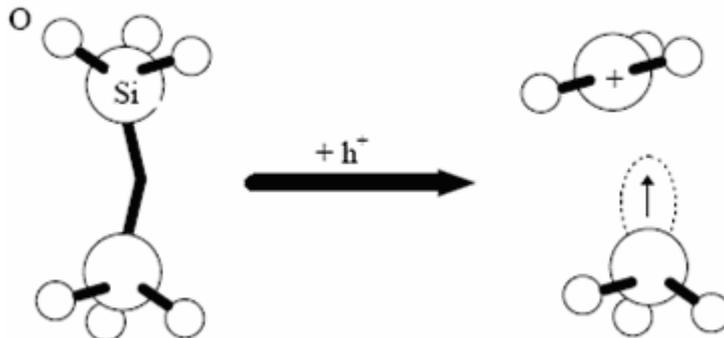


Figure III-12 : Mécanisme de formation d'un piège de type E' [21]

- Les centres Pb forment uniquement les pièges d'interface. Ils sont générés par la modification du réseau au niveau de l'interface Si/SiO<sub>2</sub>. Leur interaction avec le Si les fait piéger des charges en fonction de la polarisation de la grille. Ils piègent des électrons pour les NMOS et des trous pour les PMOS. Bloquant les porteurs minoritaires, ils s'opposent directement au bon fonctionnement des 2 types de transistors.

Le graphe suivant décrit la dynamique du principal mécanisme de piégeage des trous vers l'interface Si/SiO<sub>2</sub> [25]. La grille est ici polarisée positivement. C'est pourquoi elle attire les électrons tandis que les trous sont piégés sur le chemin menant à l'interface Si/SiO<sub>2</sub> (Figure III-13).

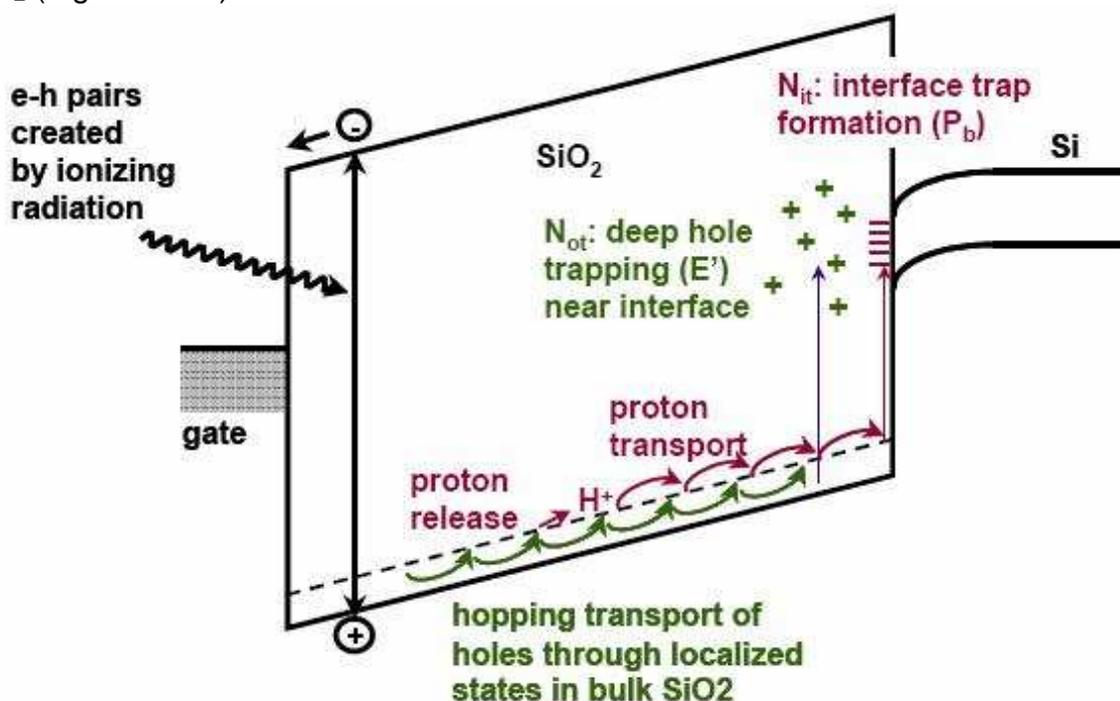


Figure III-13 : Mécanisme de piégeage des trous [25]

### III.A.6. Le modèle de guérison

Un modèle mathématique a été proposé par Miller *et al.* pour décrire le comportement de systèmes physiques activés par un processus [26].

L'équation générale décrit la variation d'un nombre d'« entités » ( $n(\phi, t)$ ) associées au système en fonction d'un niveau d'énergie, du temps et des paramètres d'activation ( $R(t)$ ,  $F(t)$ ,  $A(t)$ ):

$$\frac{\partial n(\phi, t)}{\partial t} = -n(\phi, t).F(t).\exp\left\{-\frac{\phi - R(t)}{A(t)}\right\} \quad [26]$$

Dans le cas de charges piégées dans le dioxyde de silicium,  $n(\phi, t)$  représente le nombre de pièges d'énergie  $\phi$  occupés.

- $R(t)$  (en eV) est le niveau d'énergie de référence fixé par le champ électrique appliqué.  $R(t) = \beta\sqrt{E(t)}$ ,  $\beta = cte$  [27].
- $A(t)$  (en eV) est la fonction d'activation thermique, qui s'écrit  $A(t) = k.T(t)/q$  [27]
- $F(t)$  (en Hz) représente la fréquence de relaxation (fréquence des tentatives d'échappement des pièges).  $F(t) = a.T^2(t)$ ,  $a$  étant une constante [27].

Le nombre de trous piégés,  $n(\phi, t)$ , diminue à une vitesse différente suivant le niveau d'énergie  $\phi$ . A chaque instant, il existe une énergie  $\phi_m(t)$  à laquelle le taux de variation de  $n(\phi, t)$  est maximum.

C'est pourquoi le processus de guérison est décrit comme un front qui avance vers les pièges d'énergie de plus en plus grande (profonde) (Figure III-14) :

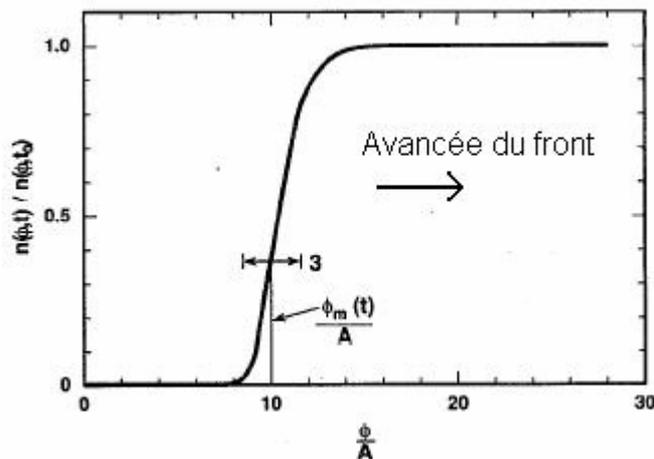


Figure III-14 : Avancée du front pour une activation  $A$  constante [26].  $\phi_m$  est au point d'inflexion.

Ce front évolue de façon logarithmique dans le temps suivant l'équation :

$$\phi_m(t) = R(t) + A(t) \cdot \ln\{(t - t_0) \cdot F(t)\}$$

Soit :

$$\phi_m(t) = \beta \sqrt{E(t)} + \frac{k \times T(t)}{q} \times \ln\{(t - t_0) \times a \times T^2(t)\}$$

Des tests ont mis en évidence la relation entre la guérison des pièges d'oxyde et la production de pièges d'interface [28]. Les transistors testés sont de technologie bulk et possèdent des volumes de grille (largeur\*longueur\*épaisseur) de 16 $\mu$ m\*3 $\mu$ m\*45nm. Ils ont été irradiés à 3 températures très différentes (-25°C, 27°C et 100°C) avec une source de rayons X d'énergie 10keV, et le décalage de leur tension de seuil est surveillée pendant qu'ils sont polarisés. Les résultats montrent que plus la température est élevée, plus les pièges de trous dans l'oxyde diminuent, ce qui correspond à une guérison, ou annealing, grâce à la température. Cependant, cette diminution des pièges d'oxyde est accompagnée par une augmentation équivalente des pièges d'interface, qui se formeraient suite à l'arrivée des trous à l'interface Si/SiO<sub>2</sub>. Toujours en observant le décalage de la tension de seuil, la vitesse de guérison des transistors est constante et indépendante de la température durant l'irradiation.

### III.A.7. Les effets macroscopiques

Une fois piégées, les charges induisent des champs électriques qui parasitent les champs du fonctionnement normal du transistor. Ces champs parasites influencent les flux de charges et induisent des courants de fuite, engendrant une consommation de courant supplémentaire. La hausse du courant consommé est donc le reflet de la dégradation de la puce par la dose cumulée.

D'un autre côté, la dose reçue ne peut à elle seule être associée à une dégradation observée car d'autres paramètres (polarisation, température, débit de dose, ...) réduisent ou amplifient considérablement les effets.

La consommation de courant supplémentaire va se traduire par une dissipation de chaleur plus importante qui accélère le vieillissement de la puce. Cependant, en parallèle, l'agitation thermique permet de libérer plus rapidement les trous et électrons piégés et contribue ainsi à la guérison (annealing) de la dose cumulée. A une température constante, la guérison fait diminuer le courant de façon presque linéaire avec le temps [18].

Tous ces effets interagissent entre eux et ne peuvent être distingués que par des tests dans lesquels la température et les paramètres d'irradiation sont contrôlés.

### III.A.7.a. Les effets du vieillissement

Le vieillissement d'un circuit peut avoir une influence sur sa tenue aux radiations. Des mémoires SRAM, basées sur du CMOS commercial de technologie bulk avec une longueur de grille de 0,8µm, ont été soumises à des stress de température de 150°C pendant des temps variant de 0 à 802 heures avant d'être irradiées par des rayons gamma de 1,25MeV (<sup>60</sup>Co) jusqu'à une dose de 100krad<sub>SiO2</sub> avec un débit de dose de 64,5 rad<sub>(SiO2)</sub>.s<sup>-1</sup> [29]. Sans stress préalable, les circuits ont tenu presque 80krad(SiO2) avant que la moitié de leur mémoire ne soit défectueuse. Une semaine de stress à 150°C avant l'irradiation n'a pas montré de différences. Avec un stress en température préalable de 150°C, et sur une durée de plus d'une semaine (1 68 heures), plus ce temps de stress est important et plus le temps de tenue aux radiations est faible : pour 802 heures de stress, la moitié de la mémoire est en panne fonctionnelle au bout de 48krad(SiO2) seulement soit 40% de différence avec les tests sans stress.

La relation existant entre les températures et les temps de stress a été évaluée à :

$$\ln\left(\frac{t_2}{t_1}\right) = \frac{E_a}{k} \times \left(\frac{1}{T_2} - \frac{1}{T_1}\right)$$

Par exemple, si on sait que le circuit fonctionnera à T<sub>1</sub>=60°C (333K) pendant une durée de 6 mois soit t<sub>1</sub>=4320 heures, un stress à la température T<sub>2</sub>=150°C (423K) est équivalent à ces 6 mois à T<sub>1</sub> si on l'exerce sur une durée de :

$$t_2 = t_1 \times e^{\frac{E_a}{k} \left(\frac{1}{T_2} - \frac{1}{T_1}\right)} = 0,06 \times t_1 = 260 \text{heures}, \text{ soit un peu moins de 11 jours.}$$

### III.A.7.b. Le circuit de pompage

La meilleure démarche pour l'étude de la TID est de choisir différents paramètres à mesurer. À chacun est associée une spécification ou tolérance, c'est-à-dire un intervalle de valeurs, en dehors duquel le circuit est dit en « panne fonctionnelle ». Les paramètres les plus couramment mesurés sont :

- Les courants de consommation I<sub>cc</sub> du cœur et de la périphérie du CI,
- Les délais de propagation grâce à une chaîne d'inverseurs.
- La tension de pompage V<sub>pump</sub>.

Dans tous ces tests, le premier paramètre qui sort de sa spécification est toujours, et de loin, le courant de consommation, en particulier celui du cœur de la puce [18].

Pour une technologie 0.6µm d'Actel (RTSX), la panne fonctionnelle se produit à 56 krad<sub>Si</sub>, et se traduit par une brusque augmentation du courant. En parallèle, à partir de 45 krad<sub>Si</sub>, la tension de pompage V<sub>pump</sub> diminue brusquement de 6V (tension normale) pour atteindre 4V à 56krad<sub>Si</sub> [18]. (1rad<sub>Si</sub> = 0.56rad<sub>SiO2</sub> [30]).

La panne fonctionnelle observée lors des tests se produit lorsque V<sub>pump</sub> passe au dessous d'un certain seuil, ici 3.8V (Figure III-15).

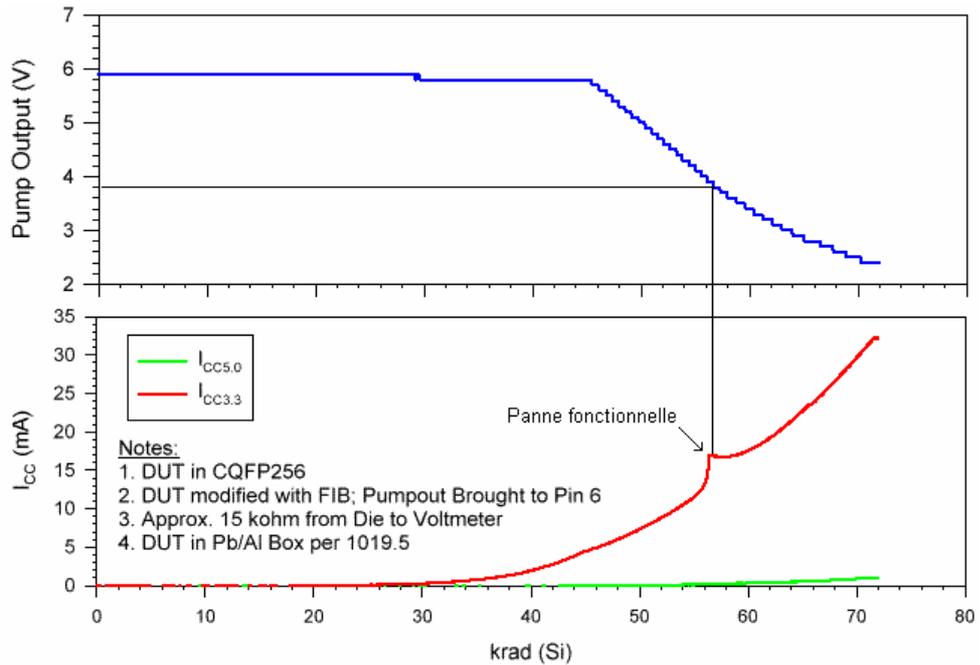


Figure III-15 : Tension de pompage et évolution du courant  $I_{cc}$  en fonction de la dose totale [18]

$V_{pump}$  est une tension continue, fournie par un convertisseur DC/DC, et contrôlant un transistor NMOS dans chaque cellule logique. Elle permet d'isoler les modules logiques lors de la programmation d'un CI [15] (Figure III-16).

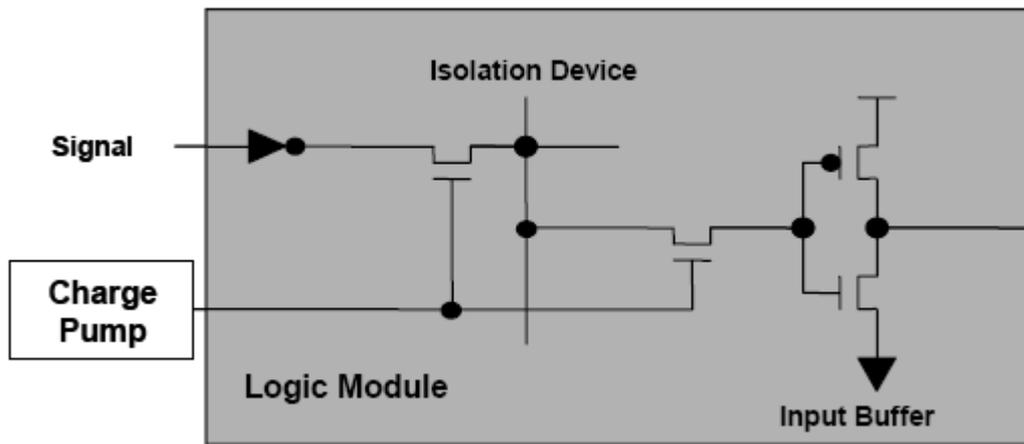


Figure III-16 : Circuit d'isolation d'un module logique grâce à  $V_{pump}$  (Charge Pump) [15]

Pour connecter le signal d'entrée au buffer du module logique, les deux transistors commandés par « Charge Pump » doivent être passants. Il est nécessaire d'avoir  $V_{pump}$  supérieur au signal (donc à  $V_{DD}$ ) plus la tension de seuil du NMOS,  $V_{th}$  :

$$V_{pump} > V_{cc} + V_{th}$$

Dans la logique numérique TTL 0/5V, le niveau logique '1' est associé à une tension supérieure à 2.5V. La tension de seuil des transistors est de 0.7V/0.8V.  $V_{pump}$  doit donc être strictement supérieure à 3.3V pour laisser passer des signaux de niveau logique '1' dans le CI.

Si cette condition n'est pas respectée, toute la mémoire du CI se vide et les éventuelles sorties tombent au niveau logique '0' (soit 0V).

### III.A.7.c. L'influence de la fréquence

D'autres tests mettent aussi en évidence les effets de la fréquence de fonctionnement de la puce. Les courants de consommation de CI RT54SX16 ont été mesurés en fonctionnement statique, à basse fréquence (300kHz) et à haute fréquence (40MHz) (Figure III-17). La tolérance pour la variation du courant est de 4mA. En fonctionnement statique ou à 300kHz, la TID limite est de 50krad<sub>Si</sub> à température ambiante et environ à 55 krad<sub>Si</sub> à 55°C. Le même CI fonctionnant à 40MHz, et se trouvant naturellement à 55°C, a une TID limite d'environ 70krad<sub>Si</sub> [17], comme le montre la Figure III-17.

Une fréquence de fonctionnement plus élevée rend le CI plus résistant à l'effet de dose, indépendamment de la température.

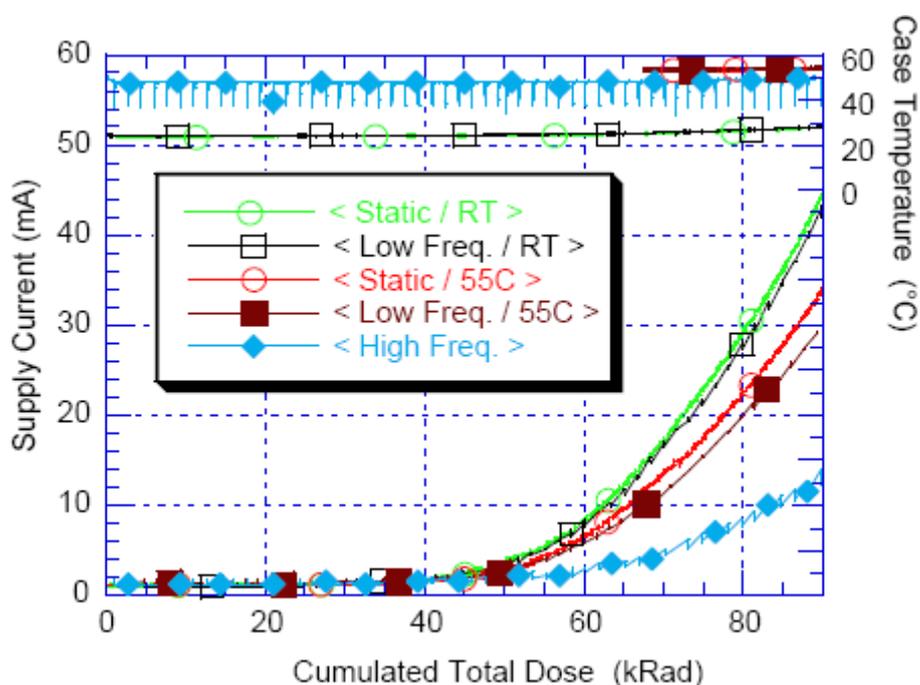


Figure III-17 : Différentes évolutions du courant en fonction de la fréquence et de la température [17]

## III.B. Les effets singuliers (SEE)

### III.B.1. Description générale et caractérisation

Le passage d'une particule peut aussi induire un effet instantané : le « Single Event Effect » ou SEE. 8 types de SEE ont été répertoriés, certains n'induisant que des erreurs et d'autres détruisant les transistors [31]. Le mécanisme à l'origine des SEE est le même que celui de l'effet de dose, mais au lieu de se produire dans l'isolant, il se produit dans le silicium du substrat, du drain ou de la source.

Le SEE non destructif le plus commun est le SEU (« Single Event Upset ») qui change l'état logique d'un transistor de 0 à 1 ou de 1 à 0 (Figure III-18). Dans le cas d'un NMOS, si la particule passe par le drain, elle peut créer suffisamment de paires e-/h pour changer

son potentiel. Des tests de radiations sur des mémoires logiques ont mis en évidence une probabilité de passer de l'état 0 à 1 (97% des cas) beaucoup plus importante que de 1 à 0 [32].

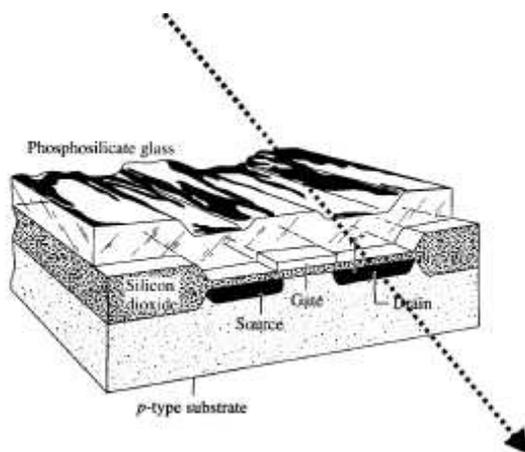


Figure III-18 : Passage d'une particule par le drain

Dans les transistors de la technologie SOI, lors du passage d'une particule créant des charges sur sa trajectoire, seules les charges créées au dessus de la couche isolante de  $\text{SiO}_2$  peuvent être collectées, réduisant la sensibilité aux événements singuliers (SEE). Des transistors NMOS de technologies bulk et SOI ont été construits avec différentes longueurs de grille (0.25 $\mu\text{m}$ , 0.4 $\mu\text{m}$  et 0.6 $\mu\text{m}$  pour les bulk et 0.5 $\mu\text{m}$ , 0.8 $\mu\text{m}$  et 10 $\mu\text{m}$  pour les SOI) afin d'étudier l'effet de collection de charges lors du passage d'un ion lourd (Cl de 35MeV ou Cu de 50MeV) avec une incidence normale [33]. Dans les NMOS Bulk, la collection de charge est maximale lorsque la particule passe par le drain ou la source, plus particulièrement dans le drain lorsque celui-ci est polarisé à 1V, avec les autres connexions à la masse. Dans les NMOS de type SOI, la couche isolante de dioxyde de silicium, qui mesure entre 100 et 140nm, empêche la collection de charges dans le substrat au niveau du drain et de la source. Cependant des charges sont créées lorsque l'ion passe par la grille, et vont s'accumuler autant dans le drain que dans la source, toujours avec le drain à 1V, la source et la grille à 0V. L'accumulation de charge dans les SOI reste toutefois dix fois moindre que celle des NMOS bulk.

Le SEE destructif que l'on rencontre le plus souvent dans les oxydes « bulk » est le Single Event Latch-up, imagé sur la Figure III-18. Comme défini plus haut, le latch-up est une décharge à travers un thyristor n-p-n-p. L'ionisation provoquée par le passage d'une particule peut favoriser les latch-up.

Pour déterminer la sensibilité d'un circuit à un type de radiation, 2 grandeurs sont utilisées :

- la section efficace ou « cross section »  $\sigma$  (en erreurs.cm<sup>2</sup>) :  $\sigma$  reflète la sensibilité du circuit. Multipliée par le flux de particules incidentes ( $F$ , en nombre de particules.cm<sup>-2</sup>.s<sup>-1</sup>), elle donne le taux d'erreurs (en erreurs.s<sup>-1</sup>). L'avantage par rapport au taux d'erreurs est qu'elle ne dépend pas du temps d'irradiation mais seulement du circuit.

$$\sigma = \frac{Nb\ err / sec}{F}$$

- le transfert d'énergie linéique TEL (en  $\text{MeV.cm}^2.\text{mg}^{-1}$ ) : L'avantage du TEL est qu'il ne dépend pas des caractéristiques du circuit mais seulement de la nature de la radiation.

$$TEL = \frac{E_{\text{déposée}}}{\rho}$$

La courbe la plus typique est celle de la section efficace en fonction du TEL (Figure III-19) :

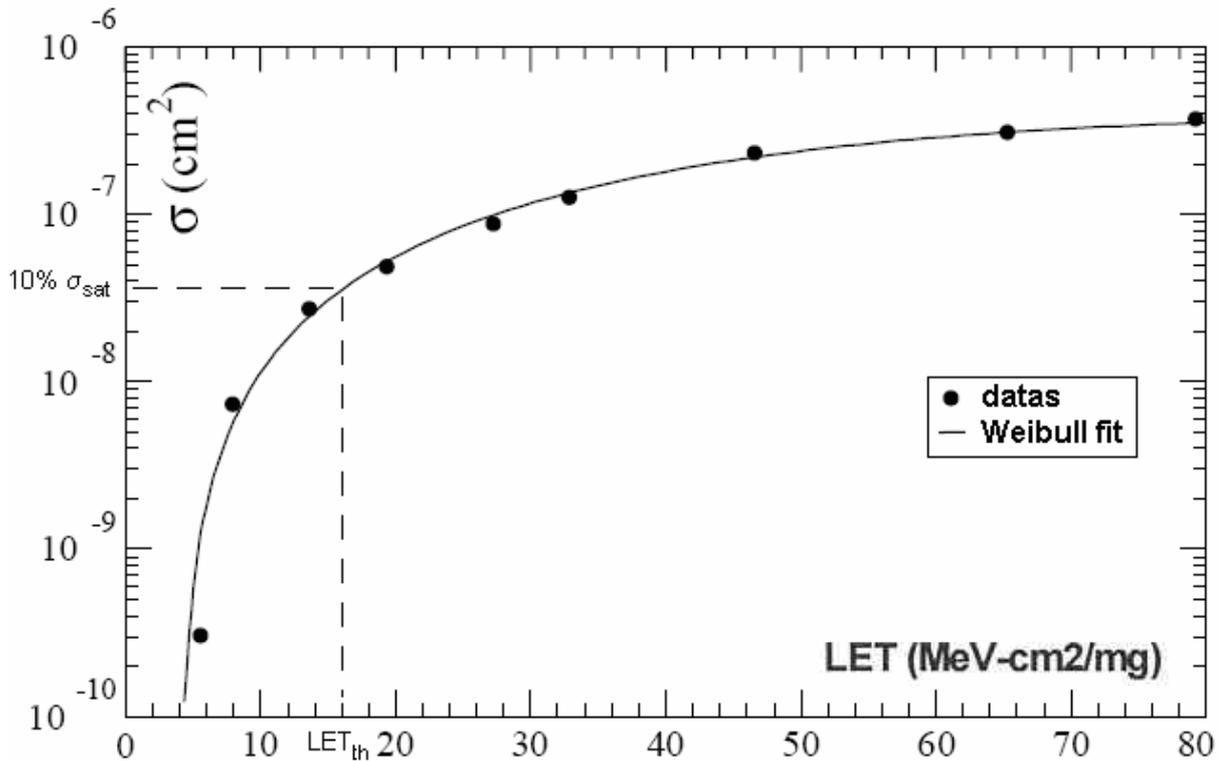


Figure III-19 : Section efficace d'un circuit en fonction de l'énergie déposée par une particule incidente.

Elle peut être approximée par une fonction de Weibull, dont un exemple est donné dans [18], sur laquelle on définit :

- La section efficace de saturation  $\sigma_{\text{sat}}$ , qui est simplement le maximum de la section efficace,
- le seuil du TEL ( $TEL_{\text{th}}$ ) qui correspond à la valeur du TEL pour  $\sigma = \sigma_{\text{sat}}/10$ .  $TEL_{\text{th}}$  caractérise la tenue aux radiations du circuit.

A partir des tables données dans [34], on peut évaluer le TEL des protons de 60 MeV dans le  $\text{SiO}_2$  à :  $LET_{\text{SiO}_2}^{p+(60\text{MeV})} = 9.10^{-3} \text{ MeV.cm}^2.\text{mg}^{-1}$  Si on se reporte à la distribution de Weibull ci-dessus, on se retrouve tout à fait sur la gauche du graphique. Des protons de 60 MeV ne devraient en principe pas engendrer beaucoup de SEE.

### III.B.2. Résultats de tests

Lorsque l'on teste des CI comme le A54SX72A, un moyen simple et efficace de mettre en évidence les SEU est le registre à décalage. Un registre est une chaîne de cellules logiques qui peuvent être construites soit par des « Register Cells » (bascules D), soit par 2 « Combinatorial Cells ». Ces dernières, bien qu'utilisant plus de transistors, sont moins affectées par les radiations que les R-Cells [18].

Pour les puces RT54SX16 et 32, et pour un registre de 240 cellules de type R, des tests ont mis en évidence que seuls des protons très énergétiques (193MeV) induisent quelques SEU avec  $\sigma=6,3.10^{-15} \text{ cm}^2.\text{FF}^{-1}$  [18]. Il faut utiliser des ions lourds afin de pouvoir tracer une distribution de Weibull. Dans les mêmes conditions, des protons de 55 MeV n'ont pas eu d'effet. Rappelons que la série de CI d'Actel RT (Radiation tolerant) est plus résistante aux radiations que la série SX-A que j'utilise pour mes tests.

D'autres tests ont été réalisés sur des CI Actel FPGA SX-A pour le détecteur ATLAS. Les CI ont été remplis de registres à décalage de 4 bits, puis irradiés avec une fluence de protons de  $2,6.10^{12} \text{ p.cm}^{-2}$  d'énergie 70MeV, le tout à température ambiante [35]. Ces tests ont mis en évidence une section efficace  $< 1,5.10^{-15} \text{ cm}^2.\text{FF}^{-1}$  pour la série SX-A, avec une probabilité de 90%.

Des FPGA A54SX32 utilisés dans la chambre à muon de CMS, de la même série que ceux que je teste, ont été testés à l'aide de registres à décalage de 450 bits avec des patterns aléatoires, et à une fréquence de 1MHz [16]. Les particules utilisées sont des protons de 59MeV, donc avec un dépôt d'énergie similaire à ceux de 63MeV que j'ai utilisé à PSI, et ce jusqu'à une dose de 40krad à 70krad suivant les FPGA. A cette énergie,  $10^{10}$  protons. $\text{cm}^{-2}$  déposent 1,4krad soit 14Gy dans le circuit intégré.

Aucune panne fonctionnelle ni latch-up n'ont été relevés, et seul 1 SEU est apparu sur le signal d'horloge après une fluence de  $1,4.10^{12} \text{ protons.cm}^{-2}$ . La section efficace a donc été majorée pour un FPGA entier :

$$\sigma_{\text{SEU}} < 2,9.10^{-12} \text{ cm}^2.$$

D'après des différentes publications, il faut s'attendre à très peu de SEE pour mes tests. Le principal effet sera l'effet de dose décrit précédemment.

### III.C. Les déplacements atomiques

La dernière catégorie des effets est à prendre un peu à part des 2 premières. Les particules radiatives peuvent interagir avec les noyaux atomiques et les déplacer de leur site. Ces déplacements atomiques sont à l'origine de défauts et brisures de symétrie dans le réseau cristallin de Si et de SiO<sub>2</sub> qui créent de nouveaux pièges à charges. L'exemple le plus connu est la formation d'un centre E' par le déplacement d'un atome d'oxygène dans le dioxyde de silicium.

Il est bien évident que les rayons X (photons) n'induisent pas de déplacements d'atomes.

CHAPITRE IV  
L'ENVIRONNEMENT RADIATIF DU LHC

---

## **Résumé du CHAPITRE IV :**

***Pour connaître les radiations effectivement reçues par les FPGA, j'ai calculé la position exacte des châssis électroniques. Le maximum de radiations est attendu dans les DS (Dispersion Suppressor) du point 5 (détecteur CMS).***

***J'ai ensuite recoupé ces informations avec les données de simulation de FLUKA. Ce logiciel permet de calculer la dose et l'environnement radiatif dans le tunnel du LHC.***

***Il en ressort que le pire cas est une dose de 1,3 kGy sur les 20 ans de fonctionnement normal de l'accélérateur.***

***Les simulations sur FLUKA ont aussi permis de calculer la fluence (nombre total de particules par  $\text{cm}^2$ ) attendue pour les protons, pions et neutrons. On attend :***

- ***$7,67 \cdot 10^{13} \text{ n.cm}^{-2}$  pour des énergies supérieures à 100 keV.***
- ***$2,21 \cdot 10^{11} \text{ p.cm}^{-2}$  pour des énergies supérieures à 100 keV.***
- ***$3,51 \cdot 10^{11} \text{ } \pi.\text{cm}^{-2}$  pour des énergies supérieures à 100 keV.***

***Ces valeurs seront prises comme références au CHAPITRE VIII afin de calculer la durée de vie des circuits FPGA contenus dans le châssis du pire cas.***

## IV.A. Géométrie du LHC

### IV.A.1. Vue générale

Le LHC forme un cercle de périmètre 27 km à 100m sous terre, divisé en 8 octants d'un peu plus de 3 km. Tout le long de la machine, les protons seront accélérés dans les 2 sens à l'aide de 2 tubes séparés. Ces 2 faisceaux ne se rencontreront qu'au niveau des 4 détecteurs ATLAS, CMS, ALICE et LHC-B, chacun placé au centre d'un octant (Figure IV-1).

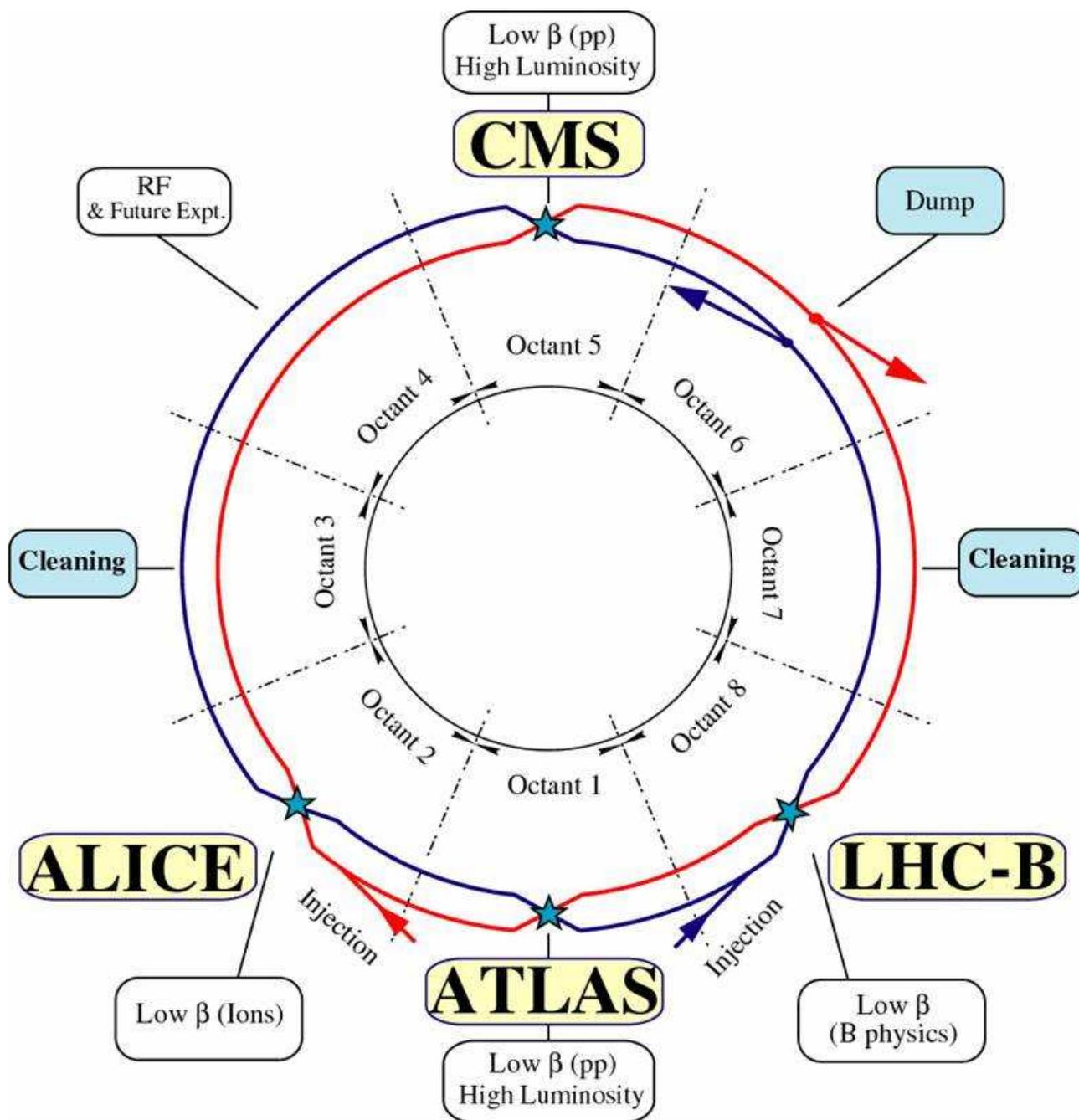


Figure IV-1 : Schéma de principe du LHC. Les faisceaux se croisent au niveau des 4 détecteurs

## IV.A.2. Détail d'un octant

Un octant est composé de plusieurs zones disposées de façon symétrique par rapport à son centre. Si on part de ce dernier, on se trouve dans une grande partie droite (LSS, Long Straight Section). Dans la partie courbe du tunnel, on trouve ensuite le DS (Dispersion Suppressor) qui refocalise les faisceaux, puis l'ARC qui courbe les faisceaux (Figure IV-2).

Les châssis sous-dipôles sont disposés uniquement dans les DS et les ARCs.

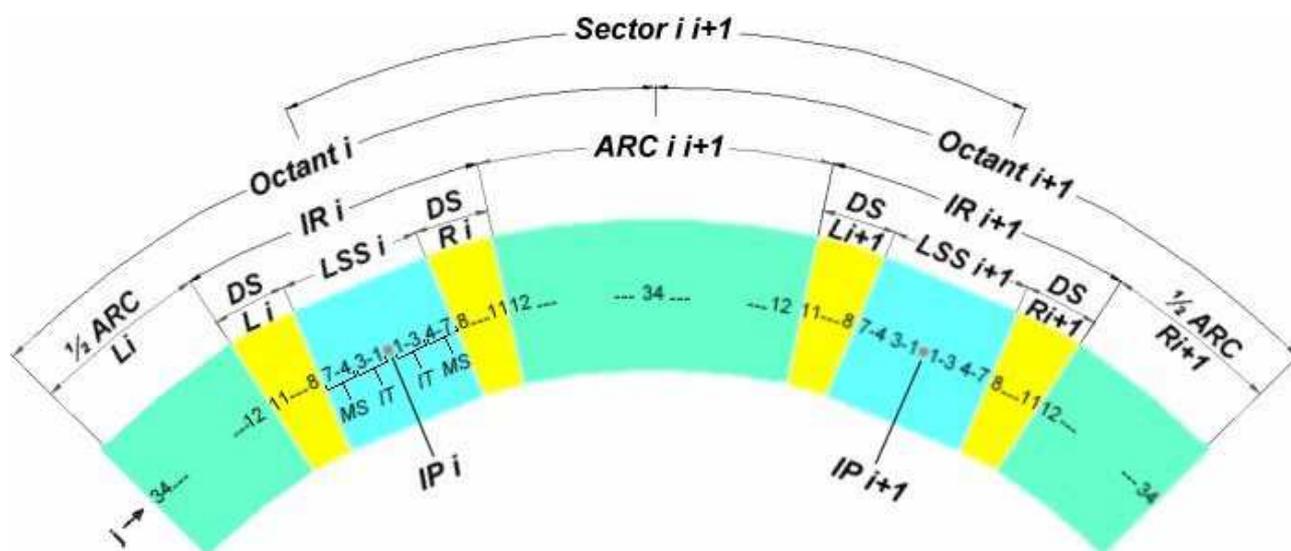


Figure IV-2 : Détail des zones du LHC. LSS, DS et ARC forment l'octant

## IV.A.3. Exemple de disposition des châssis

Les Figure IV-3 et Figure IV-4 montrent la disposition des aimants (dipôles et quadripôles) autour du point 5 (détecteur CMS), englobant la partie droite (LSS) où se trouvent le détecteur et les 2 DS, de part et d'autre de la LSS. Le DS de gauche quand on regarde depuis l'intérieur de l'anneau du LHC est appelé DSL5 : Dispersion Suppressor Left du point 5. Celui de droite est le DSR5. En s'éloignant des détecteurs, les DS sont composés de 4 groupes « dipôle-dipôle-quadripôle », le dernier de ces groupes présentant un espace de plusieurs mètres séparant le 2<sup>ème</sup> dipôle du quadripôle Q11. Un DS contient 4 châssis de cartes électroniques, représentés par des rectangles rouges sur les Figure IV-3 et Figure IV-4, et disposés chacun sous le 2<sup>ème</sup> dipôle des 4 groupes. Les distances indiquées en rouge sont calculées par rapport au zéro des graphes de simulation (Figure IV-6) du paragraphe IV.B.

Pour le détecteur ATLAS, au point 1, le nombre de châssis et leur positionnement sont similaires à ceux de CMS.

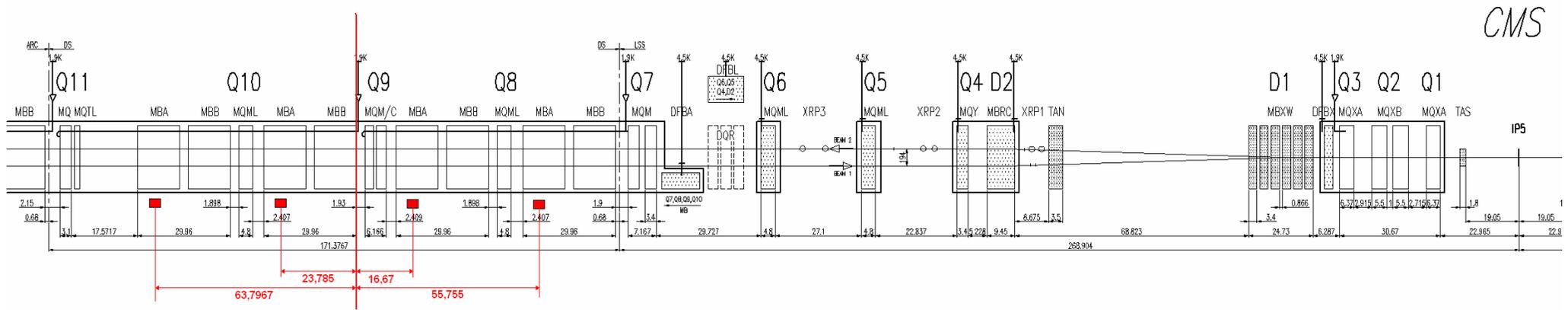


Figure IV-3 : Disposition des châssis dans le Dispersion Suppressor Left 5 de CMS (DSL5)

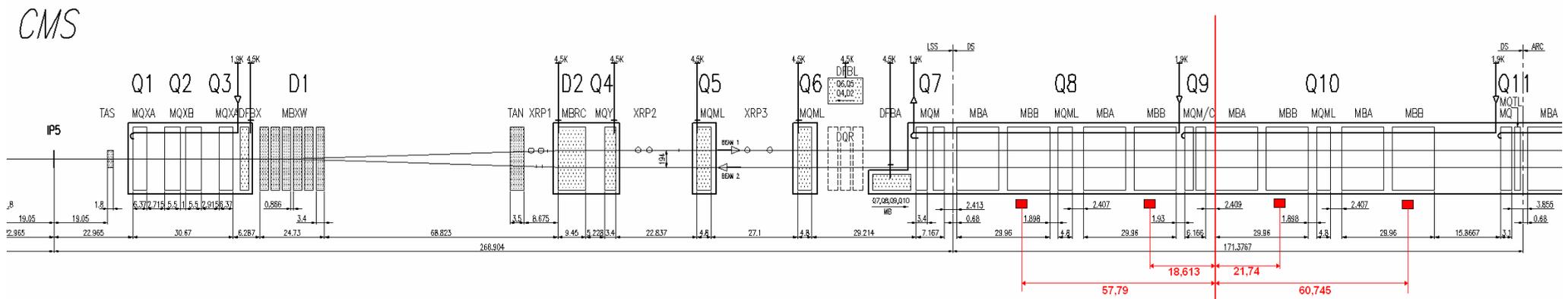


Figure IV-4 : Disposition des châssis dans le Dispersion Suppressor Right 5 de CMS (DSR5)

## IV.B. Les radiations dans le LHC

### IV.B.1. Environnement radiatif

Dans le tunnel, les particules radiatives seront de tous les types décrits dans le chapitre III, tout en présentant des spectres énergétiques étendus. On peut les classer en trois catégories [36] :

- Les particules électromagnétiques que sont les photons, électrons et positons.
- Les particules chargées lourdes (hadrons) comme les protons, les pions et les ions.
- Les particules neutres lourdes composées principalement de neutrons.

Les protons et les ions qui seront accélérés dans la machine provoqueront des collisions avec les particules résiduelles des tubes. Ces collisions engendreront une radioactivité sur toute la longueur du tunnel. La fréquence de ces interactions sur les 27km a été évaluée à  $1,05 \cdot 10^4 \text{ m}^{-1} \text{ s}^{-1}$  [37].

Les paquets de protons accélérés produiront aussi des gerbes de particules suite aux interactions dans les 4 détecteurs. Les zones les plus radioactives sont donc les 4 points d'interaction 1, 2, 5 et 8 (associés aux octants). Ces collisions inélastiques vont envoyer des particules tous azimuts. Une bonne partie restera au niveau des détecteurs ou sera capturée par les absorbeurs TAS et TAN situés de part et d'autre des points d'interaction, dans les LSS (Figure IV-3 et Figure IV-4). Seules les particules qui seront émises avec un tout petit angle atteindront les DS [37], dans lesquels les châssis d'électronique seront les plus touchés par les radiations.

### IV.B.2. Estimation de la dose dans les DS

Le logiciel FLUKA a été utilisé pour évaluer les doses cumulables dans différentes parties de l'accélérateur. Les simulations consistent à suivre le flux des particules de hautes énergies sortant d'un point d'interaction de haute luminosité, le long des 171m d'un DS, ainsi que les interactions des faisceaux avec le gaz résiduel dans le tube. Une première simulation calcule la répartition de la dose sur une coupe longitudinale d'un DS (Figure IV-6). La coupe mesure en réalité la moyenne de la dose sur une épaisseur de 60 cm englobant les tubes de faisceau (sauf au niveau de ces tubes où l'épaisseur est de 40 cm), comme décrit sur la Figure IV-5.

Sur la Figure IV-6, schématisant un DS, les doses calculées sont représentées par des couleurs, dont l'échelle est indiquée en dessous, avec comme unité le Gy/an. L'unité de l'axe des abscisses est le centimètre, avec le zéro centré sur le côté du dipôle MBA près du quadripôle Q9 (comparer avec les Figure IV-3 et Figure IV-4). Contrairement à ce qu'on peut imaginer, la répartition de la dose ne diminue pas avec la distance par rapport au point de collision des paquets de protons, qui se trouve 270 mètres vers la droite du graphique. En se plaçant sous le 2<sup>ème</sup> dipôle de chacun des 4 groupes « dipôle-dipôle-quadripôle », on peut estimer que le châssis du deuxième groupe sera le plus touché par les radiations, suivi par celui du 4<sup>ème</sup> groupe, pour lequel la dose est élevée à cause de l'espace sans aimant.

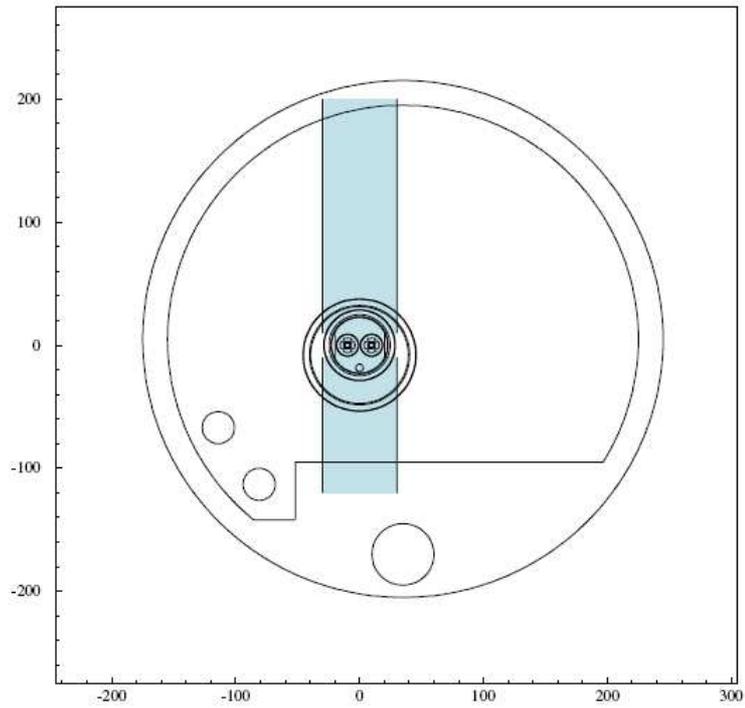


Figure IV-5 : Section transversale du tunnel utilisée pour calculer la dose sur une coupe longitudinale du tunnel [37]

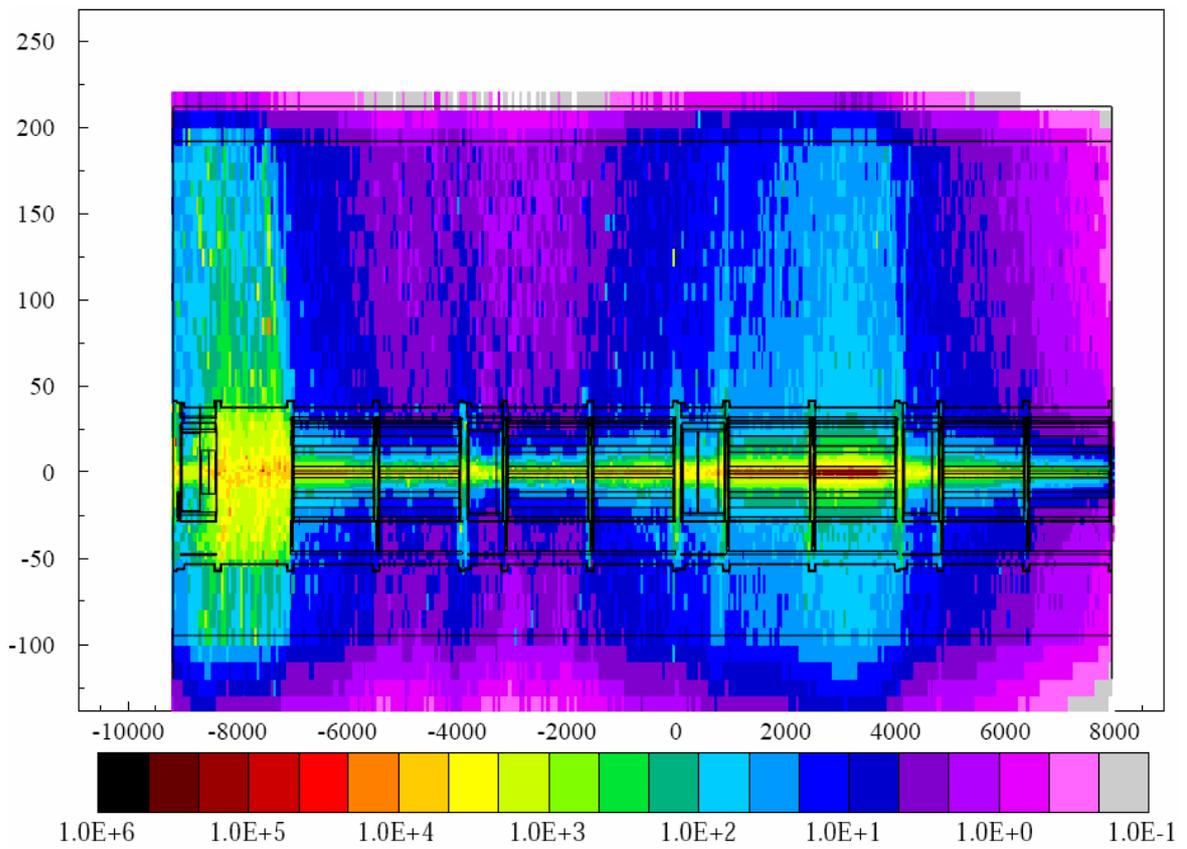


Figure IV-6 : Résultats de la simulation FLUKA de la dose émise le long d'un DS du point 5 [37]

Les courbes suivantes (Figure IV-7 à Figure IV-10) représentent la dose moyenne en Gray (J/kg), toujours sur un DS, mais sur une tranche de 30cm au dessus du sol, juste en dessous des aimants, où seront installés les châssis. Une échelle en dessous des courbes permet de situer les différents éléments de l'accélérateur (quadripôles et dipôles). Les 4 abscisses que j'ai notées sur chacune de ces courbes correspondent aux positions des 4 châssis sous les 2<sup>èmes</sup> dipôles de chaque DS, mesurées sur les Figure IV-3 et Figure IV-4. J'ai ainsi pu évaluer, plus précisément qu'à partir de la Figure IV-6, la dose annuelle attendue pour les circuits FPGA dans les DS droite et gauche des points les plus radioactifs 1 (ATLAS) et 5 (CMS).

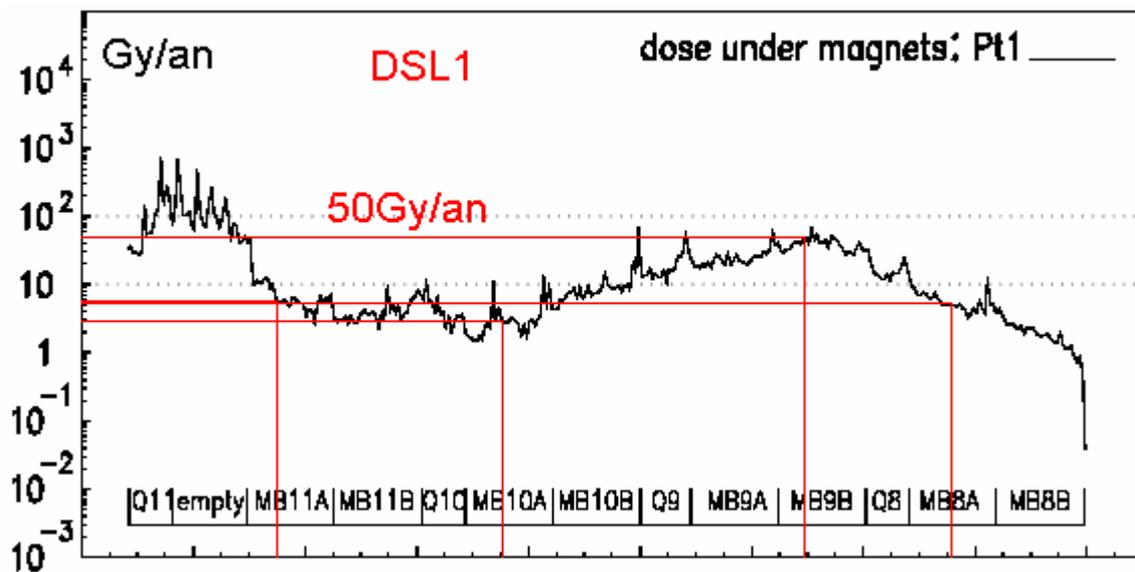


Figure IV-7 : Dose annuelle pour les 4 châssis du Dispersion Suppressor Left 1 (DSL1) [37]

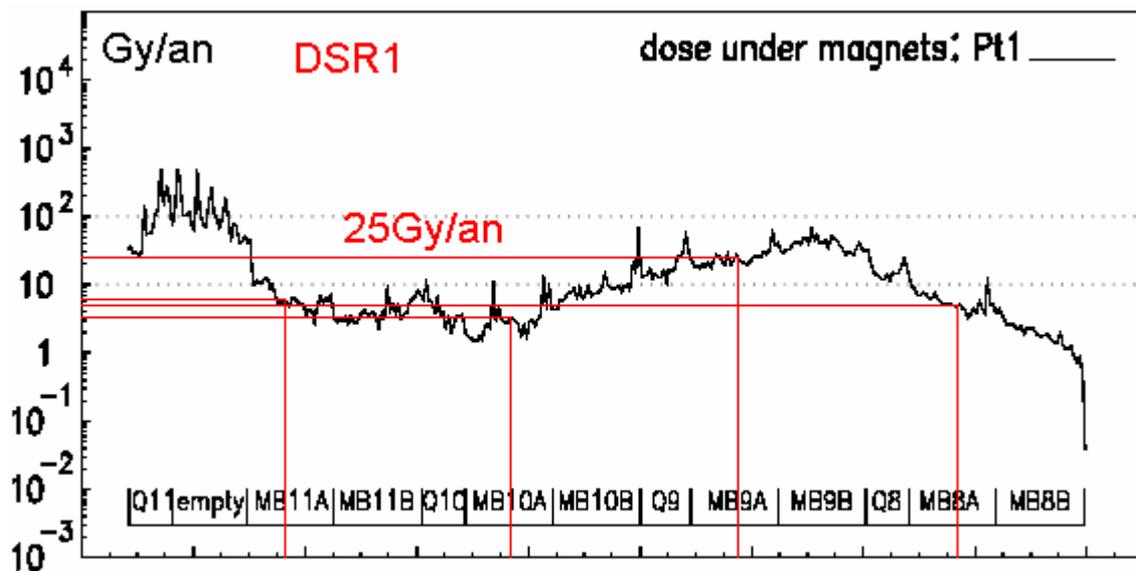


Figure IV-8 : Dose annuelle pour les 4 châssis du Dispersion Suppressor Right 1 (DSR1) [37]

Pour le point 1, le châssis qui recevra le plus de dose est dans le DS de gauche, avec 50Gy attendus par an, soit 1kGy sur 20 ans (Figure IV-7).

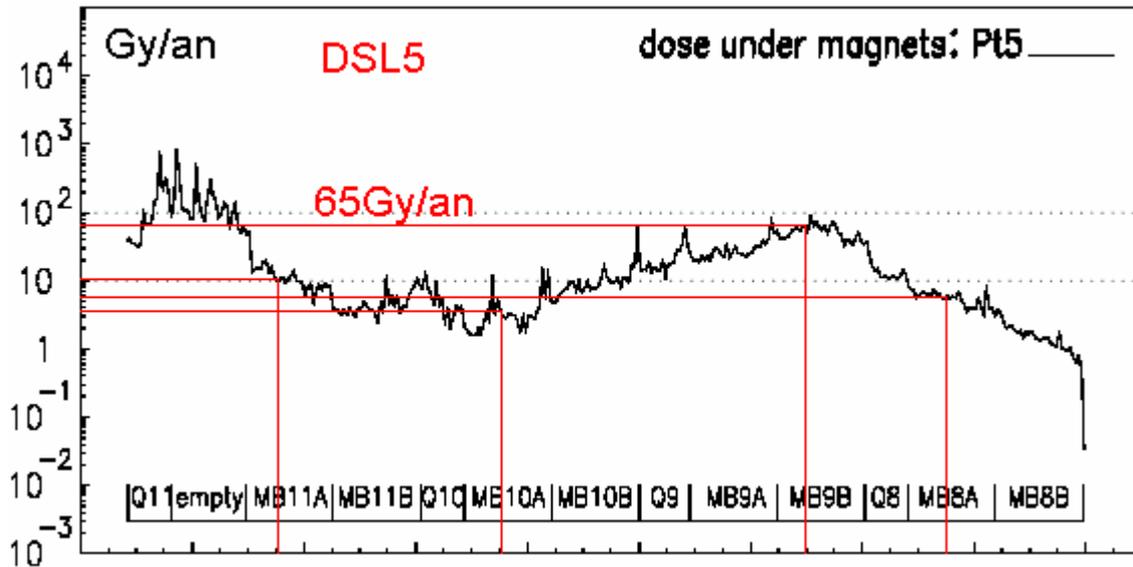


Figure IV-9 : Dose annuelle pour les 4 châssis du Dispersion Suppressor Left 5 (DSL5) [37]

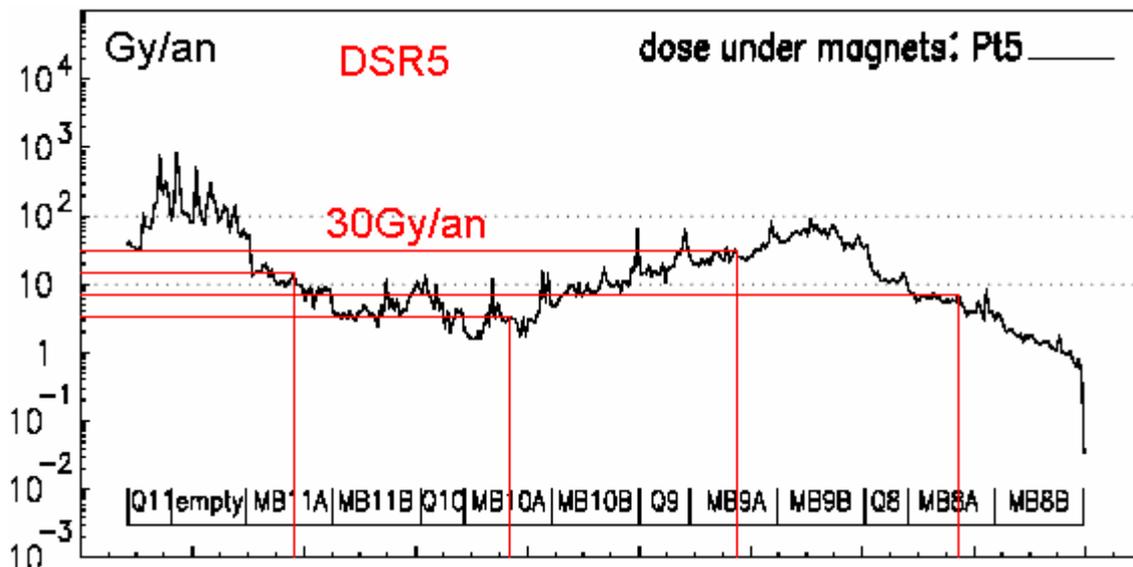


Figure IV-10 : Dose annuelle pour les 4 châssis du Dispersion Suppressor Right 5 (DSR5) [37]

Pour le point 5, le châssis qui recevra le plus de dose est dans le DS de gauche, avec 65Gy attendus par an, soit 1,3kGy sur 20 ans (Figure IV-9). Il s'agit du châssis qui sera le plus soumis à l'effet de dose sur l'ensemble du tunnel.

### IV.B.3. Estimation des flux de particules dans les DS

Les simulations sous FLUKA prennent en compte les protons, les neutrons et les pions chargés. Elles comptabilisent ces particules au dessus des énergies de coupure 100keV, 1MeV, 20MeV, 50MeV et 100MeV. Par exemple, le nombre d'hadrons (comprenant protons, neutrons et pions) d'énergies supérieures à 20 MeV est donné dans la figure IV-11. Comme pour les simulations de dose, l'échelle est basée sur des couleurs et l'unité est le nombre de particules par  $\text{cm}^2$  et par Gy. Il faut combiner ces graphes avec ceux décrivant la répartition de la dose pour obtenir la fluence totale.

La grande majorité des particules présentes dans le tunnel seront les neutrons ; la figure IV-12 donne le nombre de neutrons d'énergie supérieure à 100KeV.

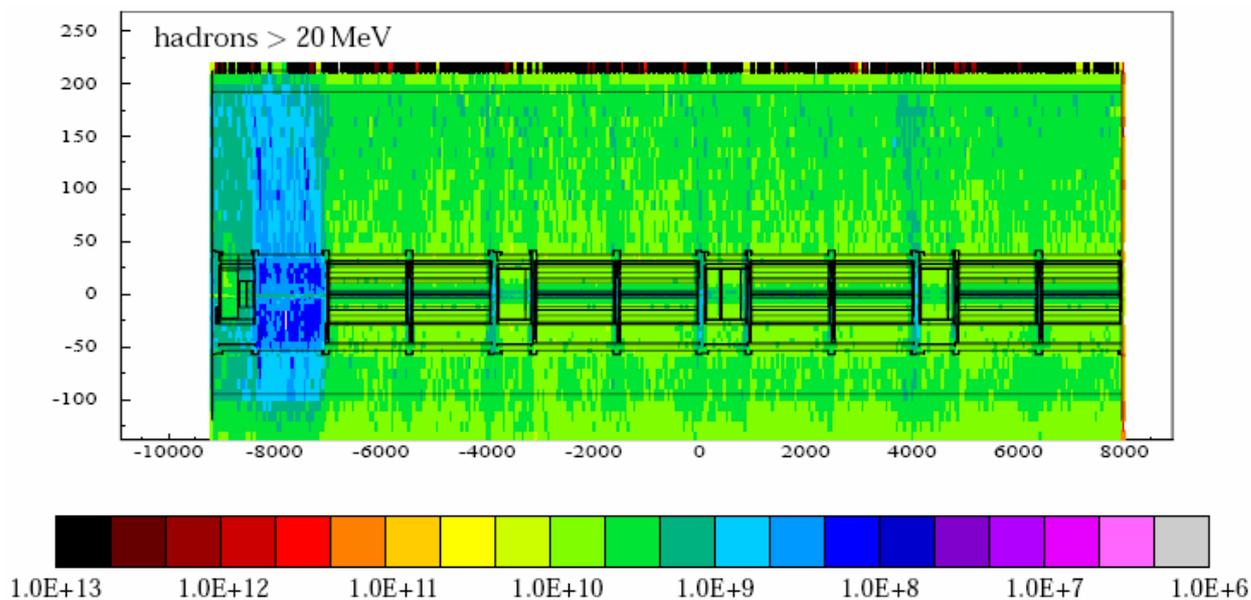


Figure IV-13 : Fluence des hadrons de plus de 20MeV le long des DS 5 [37]

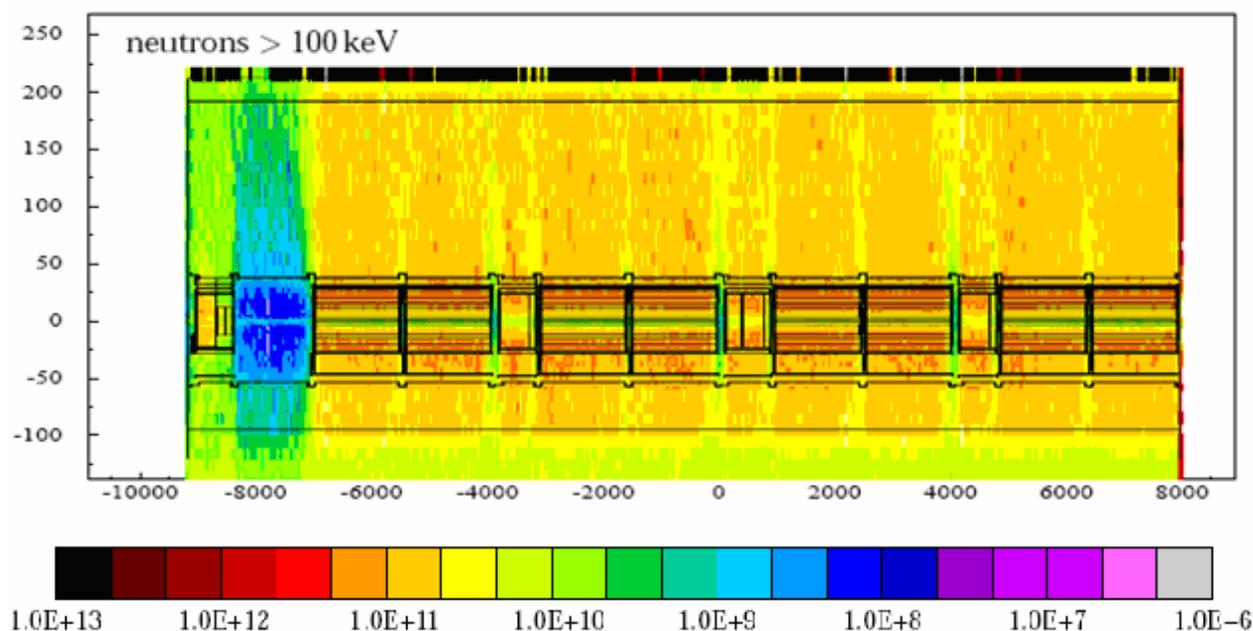


Figure IV-14 : Fluence des neutrons de plus de 100keV le long des DS 5 [37]

Des tables reprenant les valeurs de ces graphes permettent de trouver précisément la fluence des particules en fonction de la position dans le tunnel et du type de particules.

Ainsi, sous les dipôles, les simulations ont calculé des fluences.cm<sup>-2</sup>.Gy<sup>-1</sup> de [37] :

- $5,9 \cdot 10^{10}$      +/- 2,4%     pour des neutrons d'énergies supérieures à 100 keV.
- $1,7 \cdot 10^8$      +/- 5%     pour des protons d'énergies supérieures à 100 keV.
- $2,7 \cdot 10^8$      +/- 5%     pour des pions d'énergies supérieures à 100 keV.

Si on se réfère au châssis qui reçoit le plus de dose, il faut multiplier ces valeurs par 1,3kGy. Les fluences finales s'expriment en nombre de particules par  $\text{cm}^2$  (n, p ou  $\pi$ )

- $7,67 \cdot 10^{13} \text{ n.cm}^{-2}$  pour des neutrons d'énergies supérieures à 100keV.
- $2,21 \cdot 10^{11} \text{ p.cm}^{-2}$  pour des protons d'énergies supérieures à 100KeV.
- $3,51 \cdot 10^{11} \text{ } \pi \text{.cm}^{-2}$  pour des pions d'énergies supérieures à 100 KeV.

Ces valeurs seront prises comme références au CHAPITRE VIII afin de calculer la durée de vie des circuits FPGA contenus dans ce châssis.



CHAPITRE V  
CONCEPTION DU BANC DE TEST

---

## **Résumé du CHAPITRE V :**

***Pour identifier facilement les erreurs qui surviennent dans la mémoire d'un FPGA, j'ai utilisé la structure la plus simple : le registre à décalage, qui consiste à mettre des bascules D en série.***

***Si une erreur arrive sur une bascule, elle est reportée à la sortie de la mémoire et peut être détectée. Pour ne pas être vue, il faudrait qu'une 2<sup>ème</sup> erreur se produise sur le même bit pour lui redonner sa valeur initiale. Des calculs de probabilité ont montré à quel point ce phénomène est négligeable.***

***Le banc de tests a été créé de manière à pouvoir irradier directement le silicium (Si) des circuits intégrés (CI) grâce à l'ouverture chimique des FPGA (indispensable pour les rayons X). Le FPGA est installé sur un support amovible afin de n'utiliser qu'une carte électronique, spécialement conçue pour ces tests.***

***Un système de chauffage appliqué sous le boîtier FPGA du CI a été caractérisé par des plans d'expérience pour connaître avec précision et en « temps réel » la température du silicium.***

***Les bancs de tests sont à peu près semblables pour les 2 versions de programmes des CI (FPGA4 et FPGA8). Ils comportent des sources de tension pour la carte électronique et le système de chauffage. La lecture de la température et du courant de consommation du CI se fait par GPIB. La lecture des erreurs est réalisée par une nappe numérique (32 ou 96 voies).***

## V.A. Programmation du CI

Dans les FPGA A54SX72-A, il existe 2 types de cellules : R pour « register » (avec bascule D) et C pour « combinatorial » (logique combinatoire uniquement). Dans la série SX-A, il n'est pas possible de programmer les cellules C pour créer les registres à décalage. Ceux-ci resteront donc inutilisés.

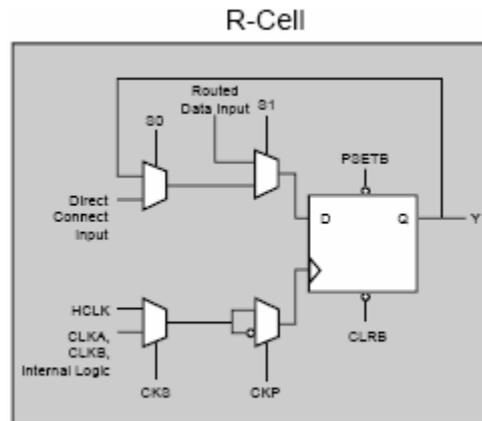


Figure V-1 : Structure d'une cellule de type « register » dans un CI

Il reste les 2012 cellules R (R-Cell : Figure V-1) comprenant chacune une bascule D accompagnée de multiplexeurs.

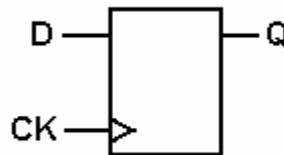


Figure V-2 : Bascule D

La bascule D comprend une entrée notée D, une sortie Q et une horloge CK (Figure V-2). Q reste la même jusqu'à ce qu'un front d'horloge (montant ou descendant selon la configuration) se produise, et prend la valeur de D.

Pour modéliser un comportement, il est plus intéressant de tester directement ces bascules pour détecter les SEU. Le nombre limité d'entrées/sorties de la puce oblige à les mettre en série dans des registres à décalage. Un registre est une liste dont chaque cellule contient en mémoire un bit de donnée (0 ou 1) (Figure V-3).

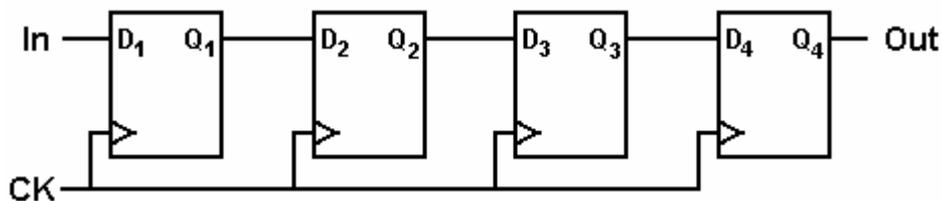


Figure V-3 : Registre à décalage de 4 bits

A chaque coup d'horloge, les valeurs sont décalées d'une cellule. La valeur entrante (In) est envoyée par software. La valeur sortante (Out) est récupérée et

comparée à sa valeur initiale. Si un SEU est survenu, les deux valeurs seront opposées.

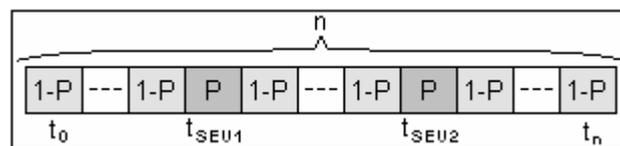
Il se pose alors le problème de multiples SEU sur un bit de données. Si deux se produisent sur un bit qui transite dans un registre, aucune erreur ne sera détectée, car la 2<sup>ème</sup> erreur aura compensé la première. Le nombre de SEU que peut subir un bit est directement proportionnel au temps passé dans le registre à décalage. Ce dernier est égal à la longueur du registre divisée par la fréquence d'horloge et dépend donc des ces deux paramètres.

Pour modéliser le nombre de SEU attendus, une approche probabiliste s'impose. Posons P la probabilité qu'une particule induise un SEU et change la valeur d'un bit pendant un cycle d'horloge (soit le temps passé sur une bascule, inversement proportionnel à la fréquence du CI) et n la longueur du registre traversé. La probabilité que le bit subisse i SEU est proportionnelle au nombre de combinaisons de i bascules parmi les n,  $C_n^i$ .

Par exemple, pour i=2 SEU, nous rencontrons le cas de figure décrit dans l'exemple suivant :

On considère un bit de donnée qui transite dans le registre. C'est pourquoi chaque case du tableau ci-dessous correspond à une bascule D du registre à un temps de décalage par rapport à ses voisines immédiates, de  $t_0$  à  $t_n$ .

Pour cette configuration, nous devons prendre en compte 2 fois la probabilité qu'un SEU se produise, P, mais aussi (n-2) fois la probabilité que les autres bascules restent intègres, (1-P) (Figure V-4).



**Figure V-4 : Configuration probabiliste d'avoir 2 SEU sur un bit avec un registre de longueur n**

Deux de ces cases contiennent la probabilité P, tandis que les autres qui ne sont pas touchées par une particule, prennent la probabilité complémentaire (1-P).

Cette configuration survient lorsque la 1ère bascule n'est pas touchée et que la 2ème n'est pas touchée etc. Sa probabilité d'existence est donc le produit des probabilités de chaque bascule :

$$(1 - P) \times \dots \times (1 - P) \times P \times (1 - P) \times \dots \times (1 - P) \times P \times (1 - P) \times \dots \times (1 - P) = P^2 \times (1 - P)^{n-2}$$

Il existe exactement  $C_n^2$  combinaisons de n bascules dont 2 ont la probabilité P et (n-2) la probabilité (1-P). Finalement, la probabilité d'avoir 2 SEU sur un bit est de :

$$P(2SEU) = C_n^2 \times P^2 \times (1 - P)^{n-2}$$

En généralisant la formule, la probabilité qu'un bit subisse i SEU le long d'un registre de longueur n est :

$$P(i \text{ SEU}) = C_n^i \times P^i \times (1 - P)^{n-i}$$

Si l'on veut compter correctement le nombre de SEU qui se produisent, il est intéressant d'avoir  $P(i \text{ SEU})$  presque nul pour  $i > 1$ , tout en ayant  $P(1 \text{ SEU})$  le plus grand possible. La Figure V-5 montre la probabilité qu'une seule erreur se produise sur un bit. Si, par exemple, la probabilité d'avoir un SEU sur une bascule est de 2%, statistiquement, un SEU se produira toutes les 50 bascules. Un registre de 10 bascules aura une probabilité assez faible d'avoir une erreur alors qu'un registre de 50 bascules aura la probabilité maximale d'avoir un seul SEU par bit. Si on continue d'augmenter la longueur du registre, la probabilité qu'un second SEU vienne annuler l'inversion du 1<sup>er</sup> SEU augmente, et la probabilité de voir une erreur en sortie redescend. Il existe ainsi une zone en rouge sur le graphe qui correspond aux paramètres  $n$  et  $P$  optimisés pour observer une erreur en sortie des registres en cas de SEU. La zone de faible probabilité en bas à gauche du graphe est due à un nombre trop faible de SEU, tandis que la zone de faible probabilité en haut à droite du graphe est due aux doubles SEU sur un même bit qui réduisent la visibilité des erreurs.

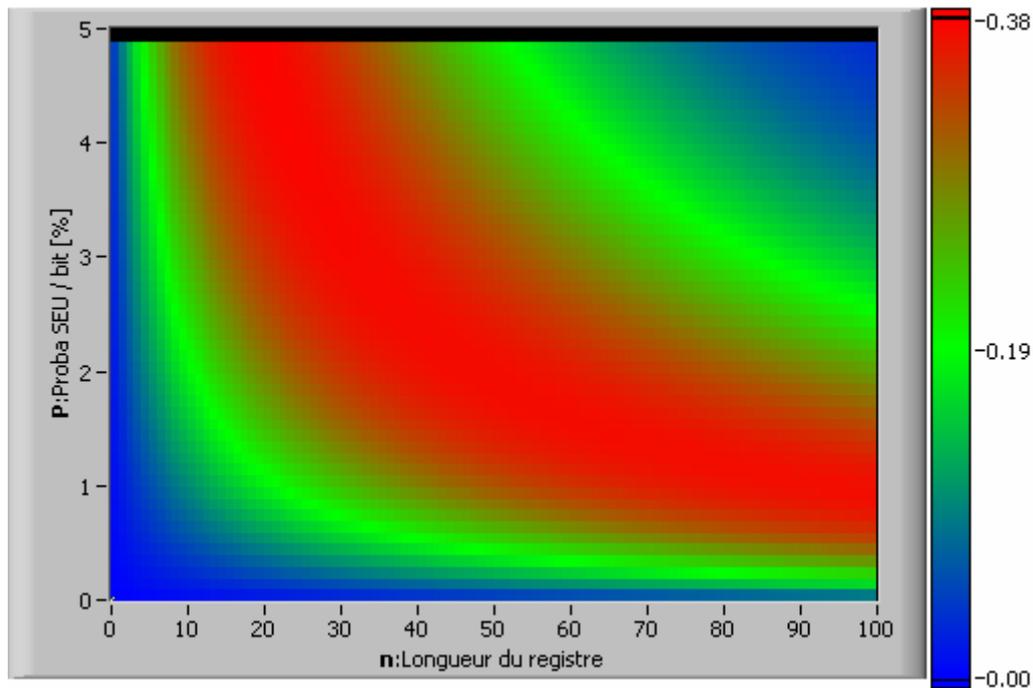


Figure V-5 : Probabilité que se produise un seul SEU sur un bit en fonction de  $P$  et de  $n$

Pour choisir  $n$  correctement, il est important d'évaluer  $P$ . Les tests sur des CI Actel SX-A décrits dans III.B.2 ont mis en évidence une section efficace  $\sigma < 1,5 \cdot 10^{-15} \text{ cm}^2 \cdot \text{bit}^{-1}$  [35], avec des protons d'énergie 70MeV.

Le nombre de SEU que nous pouvons espérer observer avec 2012 bascules et un flux de protons de  $5 \cdot 10^8 \text{ cm}^{-2} \cdot \text{s}^{-1}$  (maximum au PSI) est :

$$Nb \text{ SEU} = 1,5 \times 10^{-15} \times 5 \times 10^8 \times 2012 \cong 1,5 \times 10^{-3} \text{ err.} \cdot \text{s}^{-1} \quad \text{par FPGA}$$

soit un taux maximum d'une erreur toutes les 11 minutes.

Une fréquence de fonctionnement normale de la puce est 10MHz. On peut ainsi évaluer  $P$  :

$$P = 1,5 \times 10^{-3} \times \frac{1}{10^7 \times 2012} = 7,4 \times 10^{-14} \text{ SEU.Clk}^{-1} \text{ par bascule}$$

Une probabilité aussi faible ne peut pas être compensée par la valeur de n. Les bits subissant 1 seul SEU seront rares ( $7,4 \cdot 10^{-12}$  par cycle d'horloge) mais resteront largement majoritaires aux multiples SEU. Nous pouvons calculer par exemple le rapport entre la probabilité qu'un bit ait 1 seul SEU et la probabilité qu'il en ait 2 :

$$\frac{P(1SEU)}{P(2SEU)} = \frac{n \times P \times (1-P)^{n-1}}{\frac{n(n-1)}{2} \times P^2 \times (1-P)^{n-2}} = \frac{2}{n-1} \times \frac{1-P}{P} \approx 2,7 \times 10^{11}$$

Il devrait y avoir 270 milliards fois plus d'erreurs simples que doubles. Le problème sera donc l'obtention d'un nombre suffisant d'erreurs simples (plutôt que d'éviter les erreurs multiples).

Trois longueurs de registres seront tout de même programmées pour étudier d'éventuelles dispersions (Tableau V-1) :

Nb registres	Taille	Total
7	32	224
7	128	896
1	892	892
TOTAL		2012

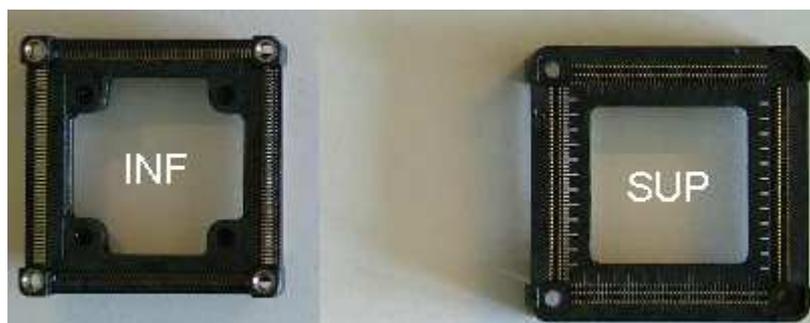
**Tableau V-1 : Nombres et longueurs des registres programmés dans la puce. Toutes les R-Cells sont utilisées**

Une première série de tests sera réalisée à la fréquence constante 1MHz. Si le nombre d'erreurs observées est trop faible, il sera possible de diminuer la fréquence pour augmenter la sensibilité aux SEU.

## V.B. Support du CI

Des supports spéciaux pour programmer des CI ont été achetés et modifiés (perçage) pour correspondre à nos besoins. Ces supports sont à force d'insertion nulle et permettent de tester des CI sans avoir à les souder.

Ces supports sont en deux parties (Figure V-6) :



**Figure V-6 : Parties inférieure et supérieure du support percé**

- la base sur laquelle vient se poser le CI qui se soude sur la carte électronique. Elle a été percée pour laisser passer le système de chauffage qui vient se plaquer sur la face de dessous du FPGA,
- la partie supérieure qui vient bloquer la puce en se fixant sur la base par 4 vis. Elle a été percée pour laisser passer le faisceau de photons lors de l'irradiation aux rayons X.

Une fois monté, le système permet d'accéder au FPGA par-dessus et par-dessous (Figure V-7).

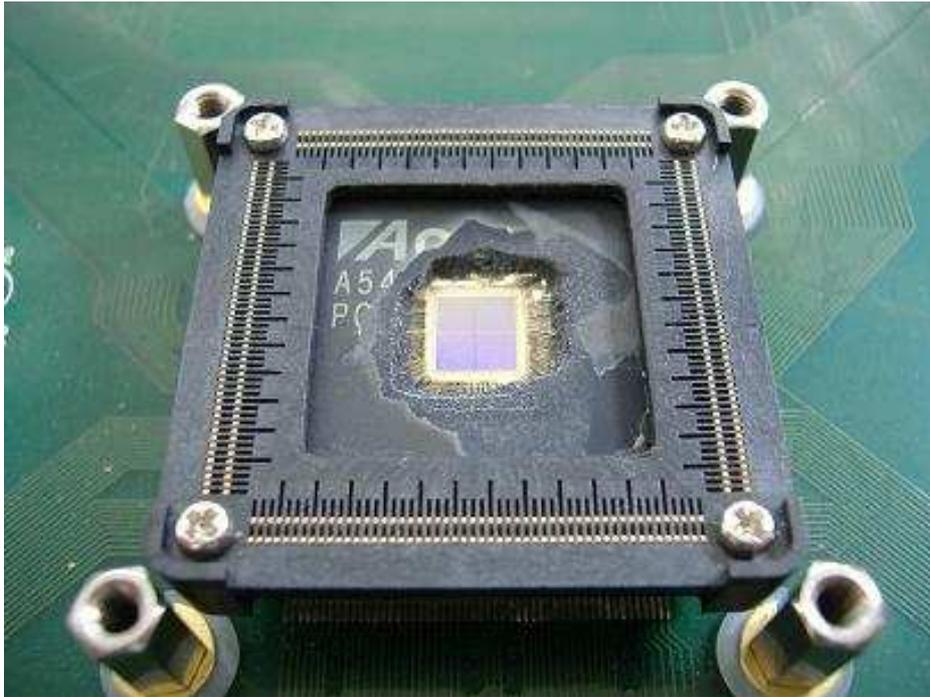


Figure V-7 : CI ouvert par attaque chimique prêt à être testé

## V.C. Banc de chauffage

### V.C.1. Présentation

J'ai commencé par réaliser la modélisation, sous CATIA v5r12, d'un banc de chauffage, réalisé en double exemplaire par l'atelier principal du CERN (Figure V-8).

L'élément chauffant est une cartouche cylindrique insérée dans un échangeur de chaleur en acier. Celui-ci vient en contact avec le CI à travers le support inférieur grâce un système de ressort. La poignée se visse dans une bague fixée à la carte électronique par des entretoises. Le maintien d'une position est assuré par un contre-écrou. La force de pression de la tête de l'échangeur sur le CI est la même pour tous les tests. Il suffit de maintenir constante la distance entre la poignée à visser et le contre-écrou (Figure V-9).

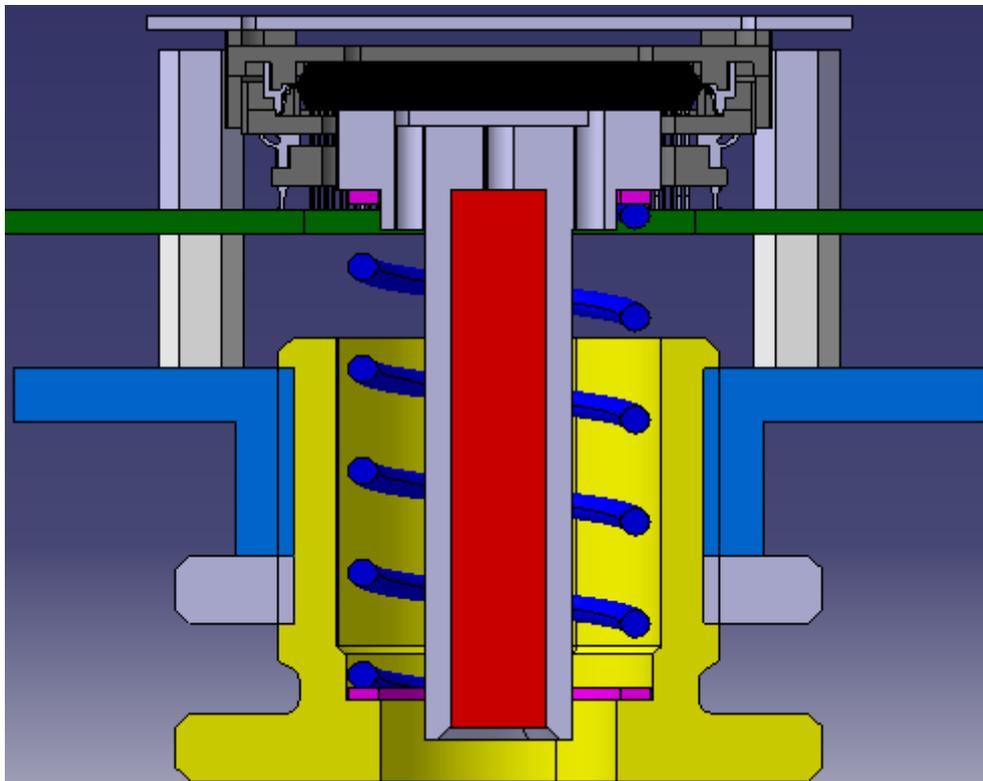


Figure V-8 : Vue en coupe du banc de chauffage (réalisée avec CATIA v5r12)

Le transfert thermique entre la tête de l'échangeur et le dessous de la puce est facilité par de la pâte thermique. Une Pt100, prise en sandwich entre l'échangeur et le CI, permet la régulation de la température, grâce à la caractérisation du banc de test.

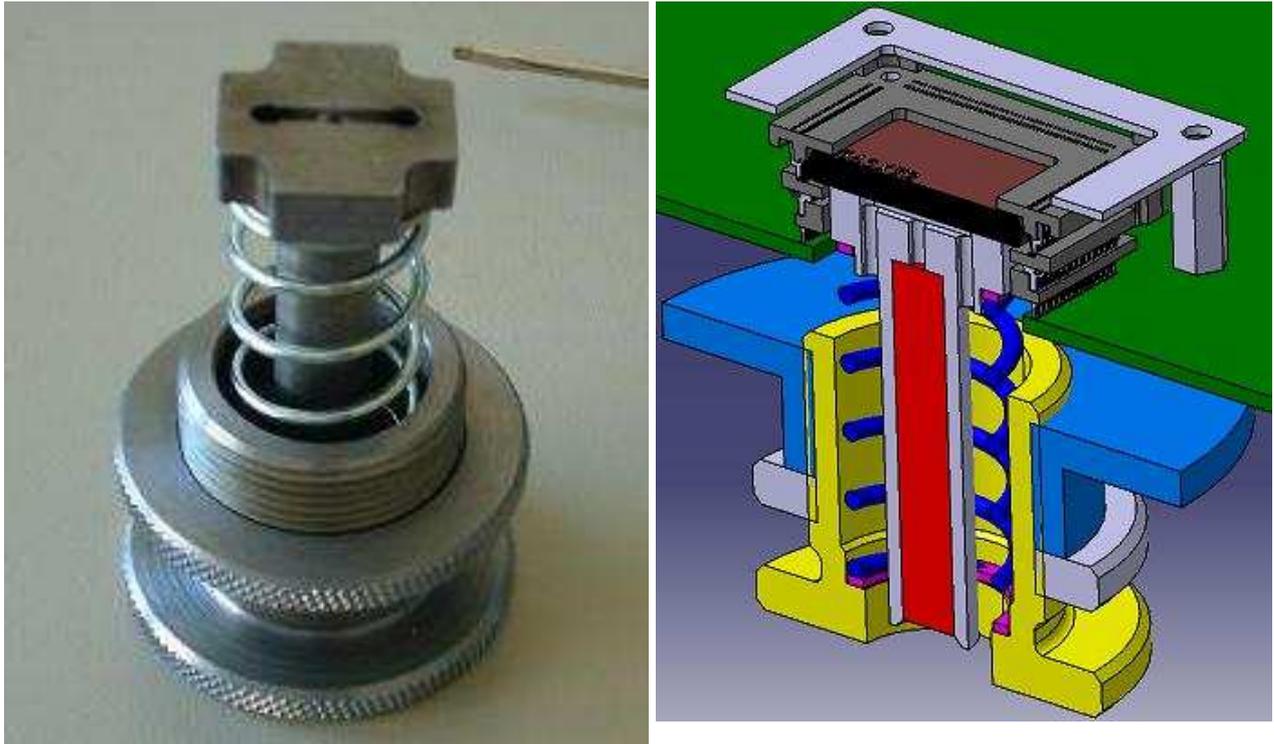


Figure V-9 : Echangeur, ressort, poignée et contre-écrou après assemblage

### V.C.2. Caractérisation

L'objectif est d'être capable de calculer la température du CI en fonction de la Pt100 placée entre l'échangeur et le CI.

Le paramètre à modéliser est l'écart entre la température de la Pt100 et celle du CI. Pour caractériser le banc de chauffage, il m'a fallu mesurer directement la température sur le CI ouvert avec une deuxième Pt100.

Deux paramètres faisant varier cet écart sont à prendre en compte :

- la température que l'on désire atteindre
- la puissance dissipée par le CI.

La tension d'alimentation étant toujours de 5V, la puissance dissipée est directement proportionnelle au courant de consommation. J'ai utilisé une puce déjà irradiée et consommant 1A (maximum de l'alimentation). J'ai pu ainsi faire des mesures à différents courants de consommation en limitant le courant de la source.

Pour mener ces tests, j'ai utilisé les plans d'expérience, avec 2 facteurs et 2 niveaux pour chaque facteur.

Le facteur1 ( $X_1$ ) est la température et prend les valeurs 40°C et 80°C.

Le facteur2 ( $X_2$ ) est la puissance et prend les valeurs 0W et 5W.

L'équation polynômiale du modèle est de la forme :

$$Y = a_0 + a_1 \cdot X_1 + a_2 \cdot X_2 + a_{12} \cdot X_1 \cdot X_2$$

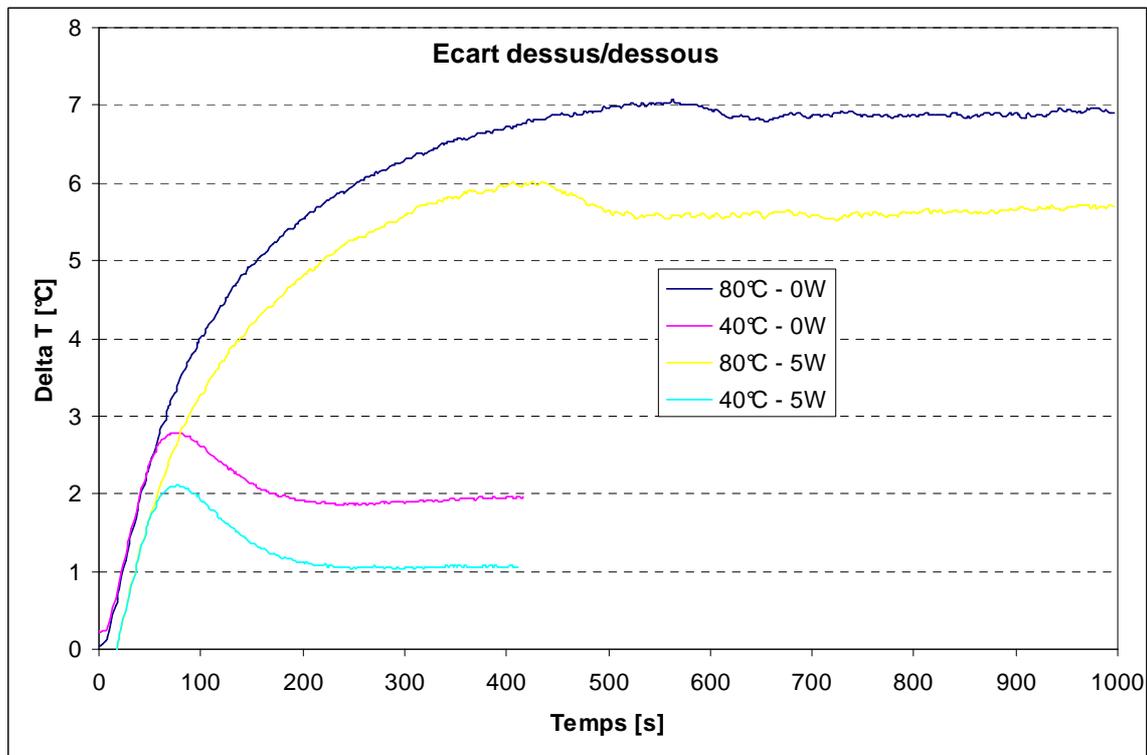
$a_0$  est en fait la moyenne des écarts,  $a_1$  et  $a_2$  sont les effets de la température et de la puissance respectivement et  $a_{12}$  est l'effet de l'interaction entre ces 2 facteurs.

L'écart de température  $\Delta T = Y = T_{Pt100} - T_{CI}$  est donné dans le Tableau V-2 pour les 4 configurations possibles :

T[°C] \ P[W]	40	80
0	1.9	6.9
5	1.1	5.7

**Tableau V-2 : Tableau des écarts de température pour les valeurs extrêmes des facteurs**

L'écart de température est relevé dès que les températures du dessus et du dessous du CI sont stabilisées. Le graphe suivant montre les résultats expérimentaux obtenus pour ces 4 tests (Figure V-10) :



**Figure V-10 : Evolution des écarts de température pendant le chauffage**

On peut construire la matrice d'expériences en variable naturelle (Tableau V-3) :

N° d'expérience (essai)	Température [°C]	Puissance [W]	Delta T (Y) [°C]
1	40	0	1.9
2	40	5	1.1
3	80	0	6.9
4	80	5	5.7

**Tableau V-3 : Récapitulatif des essais avec les variables naturelles (grandeurs physiques)**

Puis en variable réduite en ajoutant les colonnes de la moyenne et de l'interaction (Tableau V-4) :

N° d'expérience (essai)	Moyenne	Température (X1)	Puissance (X2)	Interaction 12	Delta T (Y) [°C]
1	1	-1	-1	1	1.9
2	1	-1	1	-1	1.1
3	1	1	-1	-1	6.9
4	1	1	1	1	5.7

Niveau -1	40	0
Niveau 1	80	5

Effets	a0	a1	a2	a12
	3.9	2.4	-0.5	-0.1

**Tableau V-4 : Tableaux de calcul des effets de la moyenne, des facteurs et des interactions**

Pour un essai (une ligne du tableau), les coefficients dans la colonne d'interaction 12 sont obtenus par le produit des coefficients des facteurs  $X_1$  et  $X_2$ .  
Par exemple pour l'essai 1, le coefficient de l'interaction vaut  $(-1) \cdot (-1) = 1$ .

Le tableau des niveaux en dessous rappelle pour chaque facteur la correspondance entre les variables naturelles et les variables réduites.

Le calcul de l'effet d'un facteur dans le dernier tableau est égal à la somme des produits des coefficients de ce facteur par la réponse Y, le tout divisé par le nombre d'expériences :

Par exemple pour la température ( $X_1$ ) qui a pour effet  $a_1$  :

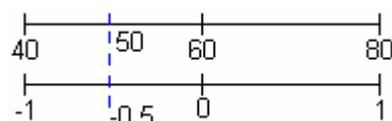
$$a_1 = \frac{1}{4} \sum_{i=1}^4 \text{CoeffTemp}(i) \times Y(i) = \frac{(-1) \times 1.9 + (-1) \times 1.1 + 1 \times 6.9 + 1 \times 5.7}{4} = 2,4$$

La moyenne se calcule par la somme de toutes les réponses Y divisée par le nombre d'expériences. C'est pourquoi tous ses coefficients sont à 1.

Une fois les effets calculés, on peut les intégrer dans l'équation polynômiale :

$$Y = 3,9 + 2,4 \cdot X_1 - 0,5 \cdot X_2 - 0,1 \cdot X_1 \cdot X_2$$

Les variables réduites  $X_1$  et  $X_2$  se calculent à partir des variables naturelles par une règle de 3 (Figure V-11).



**Figure V-11 : Passage des variables naturelles aux variables réduites**

Par exemple pour la température :  $X_1(50^\circ\text{C}) = (50-60)/20 = -0.5$

L'équation polynômiale peut directement se récrire à partir des variables naturelles T (température en °C) et P (puissance en Watts) :

$$\Delta T = Y = 3,9 + 2,4 \cdot \left( \frac{T - 60}{20} \right) - 0,5 \cdot \left( \frac{P - 2,5}{2,5} \right) - 0,1 \cdot \left( \frac{T - 60}{20} \right) \cdot \left( \frac{P - 2,5}{2,5} \right)$$

Pour vérifier si ce modèle correspond bien au système, on peut calculer des valeurs intermédiaires et les vérifier expérimentalement. Dans le Tableau V-5, on retrouve les 4 écarts de température précédemment mesurés.

		T[°C]		
		40	60	80
P[W]		-1	0	1
	0	-1	1.9	4.4
0.5	-0.8	1.82	4.3	6.78
2	-0.2	1.58	4	6.42
5	1	1.1	3.4	5.7

**Tableau V-5 : Résultats donnés par l'équation polynômiale à partir des variables réduites indiquées dans le tableau**

Quelques tests supplémentaires ont confirmé la linéarité des effets de la température du CI et de la puissance dissipée (Tableau V-6) :

		T[°C]		
		40	60	80
0		1.9		6.9
0.5			4.25	6.7
2		1.6	4.05	
5		1.1	3.45	5.7

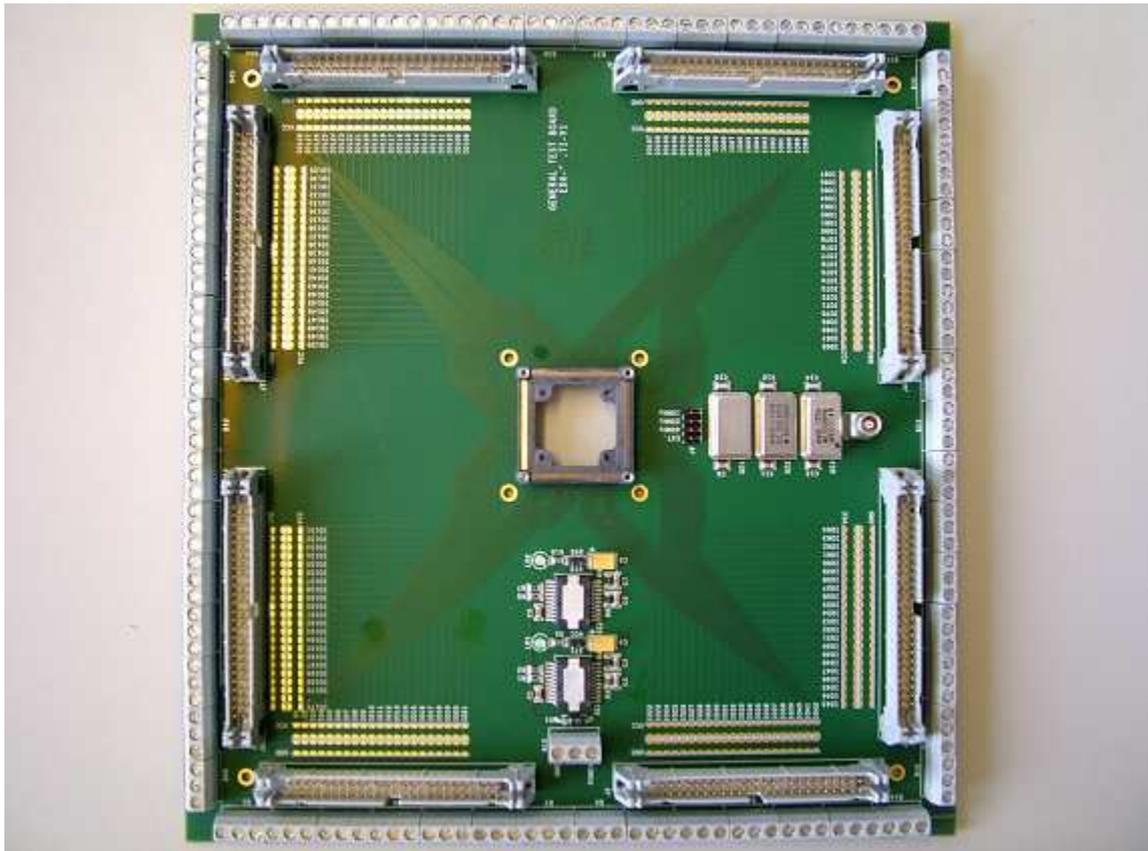
**Tableau V-6 : Résultats des tests expérimentaux**

Ce modèle est donc utilisé lors des irradiations pour évaluer la température du CI en fonction de la température du capteur Pt100 placé en dessous. Pour élever le CI à une température T, il faut maintenir le capteur Pt100 à la température T+Δt, Δt variant continuellement en fonction du courant consommé par le FPGA.

## V.D. Carte électronique

Une carte électronique a été réalisée pour tester les CI. Les entrées/sorties numériques sont déployées sur des connecteurs SCSI 50 pins en périphérie de la carte. Des régulateurs de tension permettent d'alimenter le CI avec différentes tensions. La carte est aussi équipée de 3 horloges à quartz (10, 20 et 40 MHz) et d'une connexion pour une horloge externe.

Comme le support inférieur, elle est percée en son centre pour laisser passer le système de chauffage (Figure V-12).



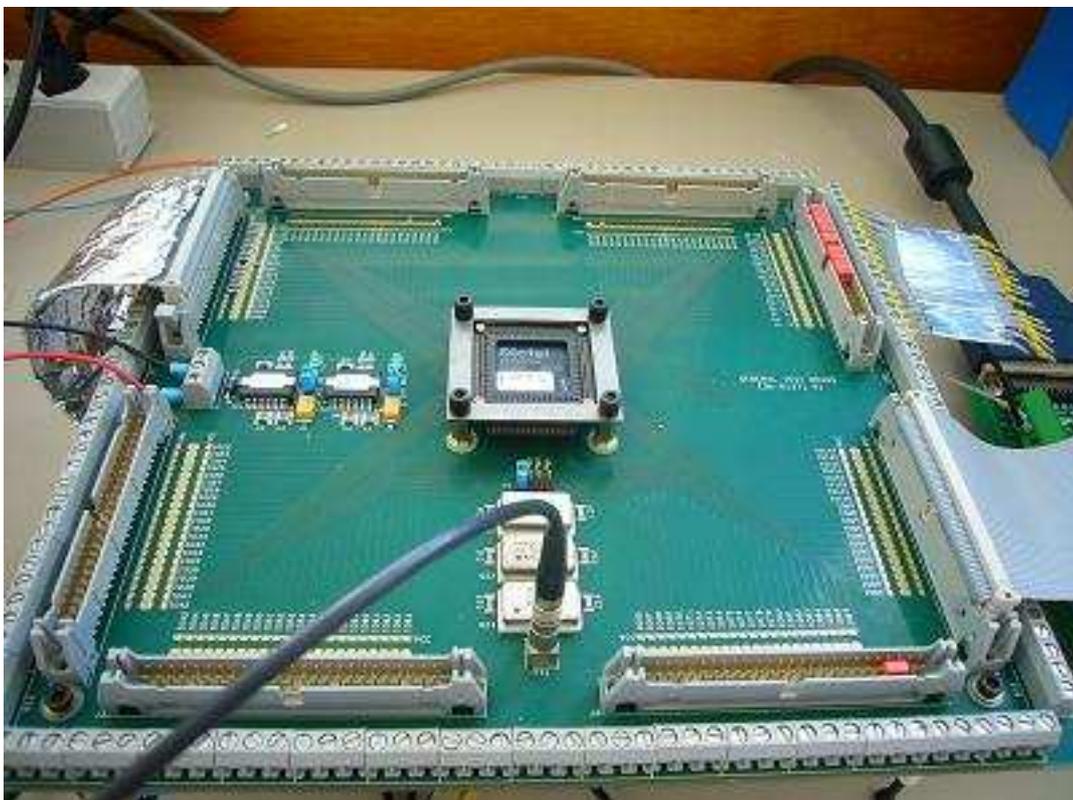
**Figure V-12 : Carte électronique (PCB) pour le CI. Le support est soudé au centre.**

4 trous percés aux angles permettent d'installer des pieds pour laisser la place au système de chauffage et maintenir la stabilité de l'ensemble (Figure V-13).



**Figure V-13 : Banc de chauffage fixé à la carte**

Une plaque en acier, fixée à la carte par des entretoises, est plaquée sur le dessus pour relâcher les tensions sur les pattes soudées de la base du support du CI (Figure V-14).



**Figure V-14 : Carte électronique avec support du FPGA**

La Figure V-15 montre le banc de test pour la première version.

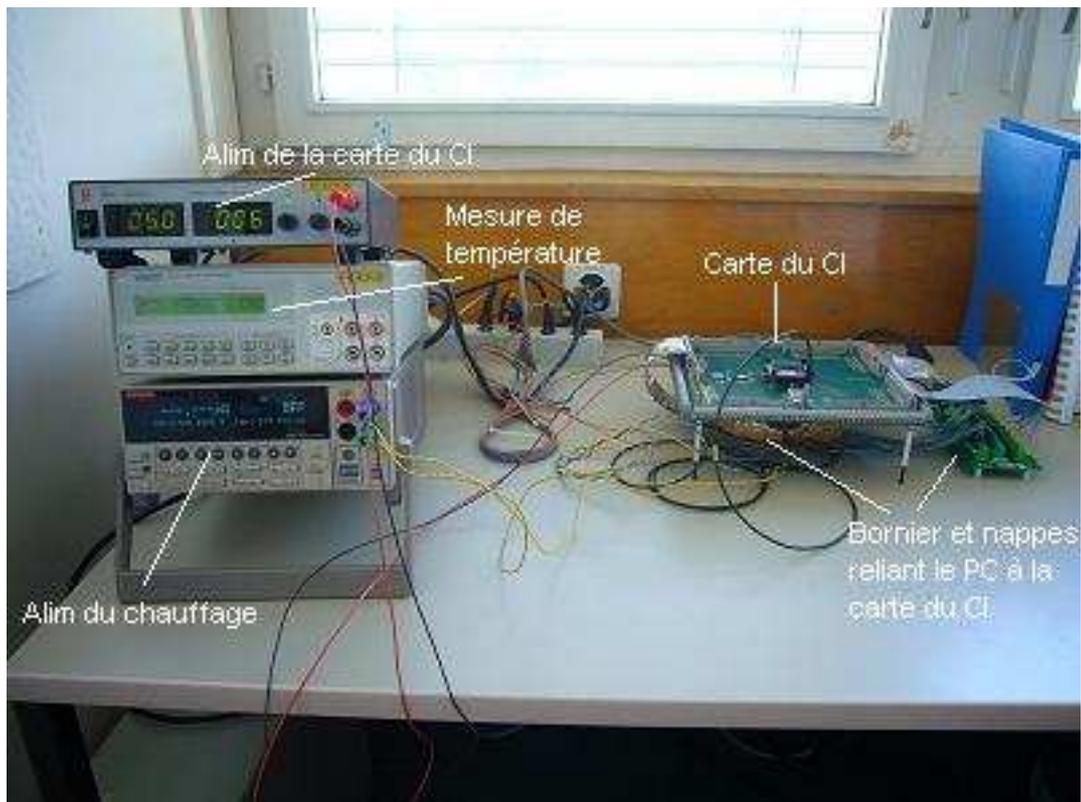


Figure V-15 : Banc de test

## V.E. Présentation du banc de test

Les tests ont été effectués sur 2 versions de CI appelées FPGA4 et FPGA8. Les bancs de test pour ces versions ont quelques différences de connexions.

### V.E.1. Pour la version FPGA4

Le schéma du banc de test est décrit sur la Figure V-16.

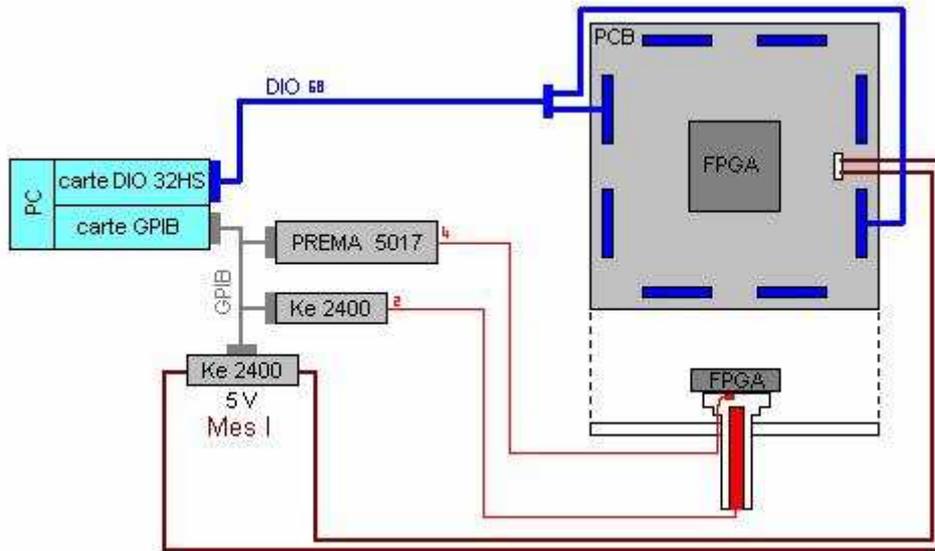


Figure V-16 : Vue schématique du banc de test pour FPGA4

On dispose du matériel suivant :

- 1 PCB (avec CI + support et système de chauffage)
- 1 PC avec 2 cartes PCI :
- Carte DIO32HS (32 voies, horloge intégrée)
- Carte GPIB
- 1 Ke2400 (alimentation de la cartouche chauffante)
- 1 Ke2400 (alimentation du CI et mesure du courant de consommation)
- 1 Multimètre PREMA 5017 (scanner)
- 1 câble DIO NI 68 pins
- 1 câble 68pins / 2 connecteurs SCSI 50 pins
- 3 câbles GPIB

La cartouche est alimentée par une source KEITHLEY 2400, limitée en courant pour moduler la puissance fournie à la cartouche et donc la température finale appliquée au CI.

La mesure 4 fils de la température (Pt100) est assurée par un multimètre PREMA 5017 équipé d'un scanner pour lire plusieurs capteurs.

Un programme (développé sous LabVIEW 7.1) commande les 2 KEITHLEY et le PREMA par GPIB pour assurer la régulation.

La mesure du courant de consommation du CI se fait directement avec le KEITHLEY qui sert à l'alimenter. L'acquisition des valeurs de courant se fait par GPIB.

L'acquisition des bits de sortie des registres du CI est assurée par des connecteurs SCSI 50 pins soudés sur le PCB. Un câble conçu pour passer de ces connecteurs à un connecteur SCSI 68 pins permet de faire la liaison avec la carte DIO à 32 voies de chez National Instruments.





## CHAPITRE VI

### TESTS SOUS RAYONS X DES CI VERSION FPGA 4

---

## **Résumé du CHAPITRE VI :**

*Le programme VHDL (dans le CI) de la version FPGA4 est constitué de registres à décalage de différentes longueurs. L'acquisition et le contrôle sont assurés par un programme LabVIEW. Tout le système fonctionne à la même fréquence de 1MHz, donnée par l'horloge de la carte numérique d'acquisition de National Instruments (en PCI).*

*Les patterns (données binaires envoyées aux registres) utilisés ne sont pas aléatoires mais ont été choisis pour éviter des erreurs qui apparaissent bien que les CI ne soient pas irradiés. La probabilité d'apparition de ces erreurs à un temps donné augmente avec le nombre de registres qui changent d'état. C'est la raison pour laquelle j'ai utilisé un pattern « 1 front », pour lequel une seule entrée de registre change d'état à chaque coup d'horloge.*

*Les tests ont été réalisés de manière à pouvoir y appliquer des plans d'expérience. 4 tests aux limites ont été menés pour modéliser le comportement d'un CI en fonction des 2 facteurs : température et débit de dose.*

*Le comportement est toujours le même. Le courant augmente et finit par former un pic très raide, accompagné de la panne fonctionnelle. Le courant continue d'augmenter jusqu'à la fin de l'irradiation (Figure VI-5).*

*Un moment après l'irradiation, toujours en maintenant la température et le fonctionnement du CI, les erreurs disparaissent progressivement et le CI se remet à fonctionner correctement, bien que le courant de consommation reste élevé. Les registres les plus courts sont un peu plus rapides à retrouver leur fonctionnement normal.*

*Les plans d'expérience sont alors utilisés pour prévoir la dose intégrée à laquelle la panne fonctionnelle apparaît, en fonction de la température et du débit de dose. L'équation donnée permet de modéliser le comportement des CI dans la zone des tests aux limites, à condition que l'influence des facteurs soit linéaire.*

## VI.A. Introduction

Dans les tests décrits dans ce chapitre, les CI sont programmés avec la version FPGA4 du code VHDL. L'objectif de la version 4 est d'avoir un programme simple permettant d'écrire des données dans le CI puis de les récupérer après un laps de temps plus ou moins long. La structure la plus basique est le registre à décalage. Pour qu'un bit de donnée reste un certain nombre de coups d'horloge dans le CI, il suffit de jouer sur la longueur du registre. C'est pourquoi 3 longueurs de registres ont été choisies. Pour pallier à la limite de 32 voies numériques sur la carte DIO, le nombre de registres créés s'élève à 15 (15 entrées, 15 sorties plus le reset).

L'organisation de la mémoire est donnée dans le Tableau VI-1 :

Nb registres	Taille	Total
7	32	224
7	128	896
1	892	892
TOTAL		2012

**Tableau VI-1 : Nombres et longueurs des registres dans le CI**

Les tests ont montré que la longueur des registres n'a pas d'importance sur les statistiques. C'est pourquoi les courbes des erreurs ne prennent en compte que la somme de toutes les erreurs sur tous les registres. Les patterns utilisés ne sont pas aléatoires mais ont été choisis pour éviter des erreurs qui apparaissent bien que les CI ne soient pas irradiés. La probabilité d'apparition de ces erreurs à un temps donné augmente avec le nombre de registres qui changent d'état. C'est la raison pour laquelle j'ai utilisé un pattern « 1 front », pour lequel un seul registre change d'état à chaque coup d'horloge. Avec ce pattern, plus aucune erreur indésirable n'apparaît. Ce pattern est envoyé et récupéré en sortie du CI toutes les secondes. Les données transitent à une vitesse d'horloge de 1MHz sur les 15 voies en parallèle, qui est la fréquence à laquelle tout le système fonctionne, du FPGA au programme LabVIEW.

Les rayons X utilisés ont une énergie principale de 10keV. Il est possible de régler le débit de dose en jouant sur 3 paramètres de la machine à rayons X (Tableau VI-2 et Tableau VI-3) :

- la tension d'alimentation (30kv à 60kV),
- le courant utilisé pour émettre les photons (de 5mA à 60mA),
- la distance entre la sortie du faisceau et la cible (le CI).

Distance machine-puce (cm)	16
Tension machine (kv)	40
Dose Rate (DR) [ $\text{rad}_{\text{SiO}_2}/\text{min}$ ]	$130 + 154.95 \cdot I_{\text{tube}}(\text{mA})$
Courant $I_{\text{tube}}(\text{mA})$	5
Dose Rate (DR) [ $\text{rad}_{\text{SiO}_2}/\text{min}$ ]	$904.75 \text{ rad}_{\text{SiO}_2} \cdot \text{min}^{-1} = 15 \text{ rad}_{\text{SiO}_2} \cdot \text{s}^{-1}$

**Tableau VI-2 : Paramètres de l'irradiation pour le débit de dose faible D1**

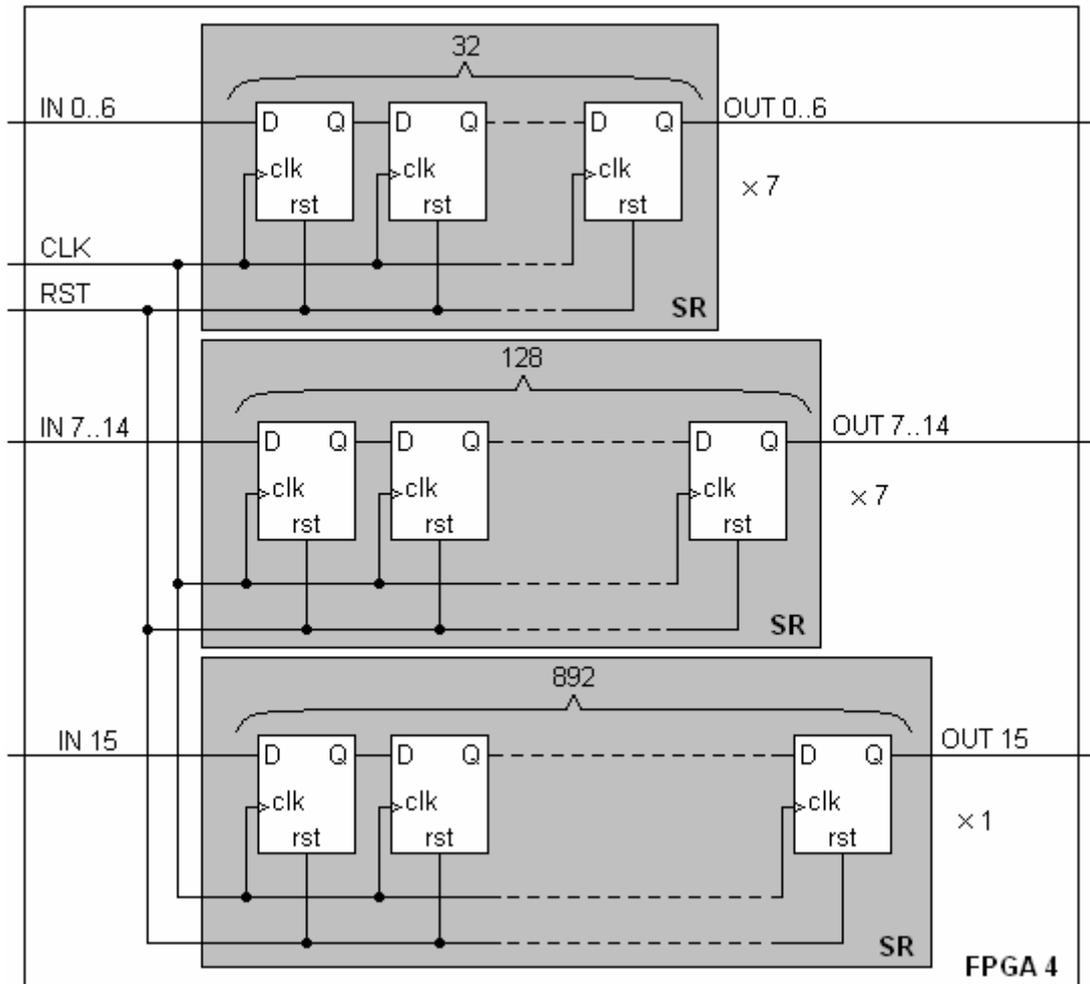
Distance machine-puce (cm)	16
Tension machine (kv)	40
Dose Rate (DR) [ $\text{rad}_{\text{SiO}_2}/\text{min}$ ]	$130 + 154.95 \cdot I_{\text{tube}}(\text{mA})$
Courant $I_{\text{tube}}(\text{mA})$	60
Dose Rate (DR) [ $\text{rad}_{\text{SiO}_2}/\text{min}$ ]	$9427 \text{ rad}_{\text{SiO}_2} \cdot \text{min}^{-1} = 157 \text{ rad}_{\text{SiO}_2} \cdot \text{s}^{-1}$

**Tableau VI-3 : Paramètres de l'irradiation pour le débit de dose élevé D2**

Avant les irradiations, les FPGA ont des courants de consommation compris entre 50mA et 60mA. Chaque test nécessite un nouveau circuit.

## VI.B. Structure du CI

Le CI est composé de 15 structures appelées SR (Shift Register) qui prennent en paramètre le nombre de bascules D qu'elles contiennent. La Figure VI-1 représente l'intérieur du CI.



**Figure VI-1 : Schéma de la structure interne de FPGA 4**

Tout l'ensemble du CI fonctionne de façon synchrone avec le programme LabVIEW sur l'horloge de la carte DIO. Les détails sur le code VHDL sont donnés dans l'ANNEXE 1.

## VI.C. Programme LabVIEW

La Figure VI-2 montre la face avant du programme d'acquisition que j'ai réalisé.

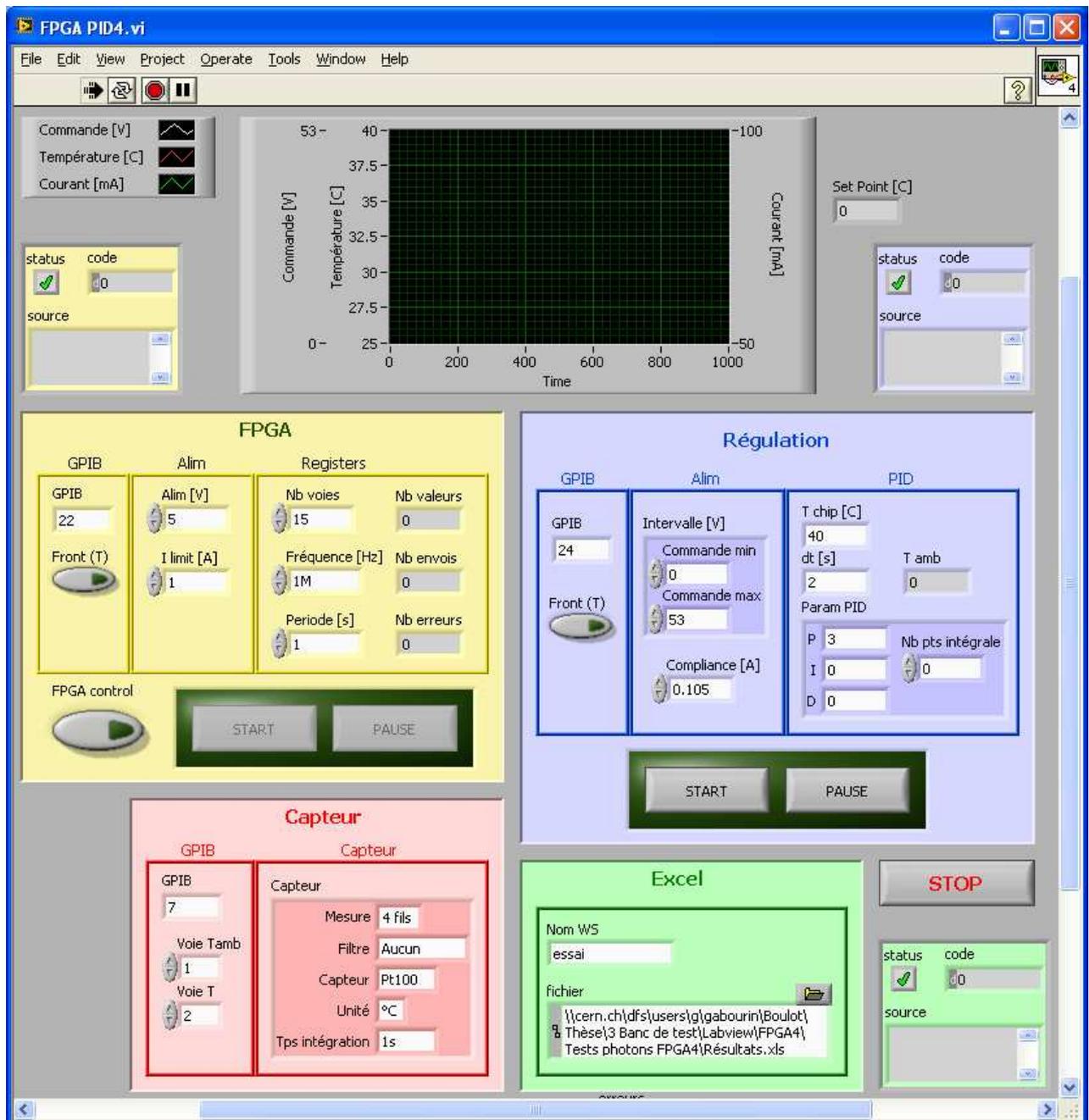


Figure VI-2 : Face avant du programme principal de test (version 4)

Le programme crée un pattern « 1 front » adapté au nombre de registres que l'on souhaite tester et le récupère à la sortie. Il prend ensuite en compte les longueurs des différents registres pour comparer les entrées aux sorties et affiche en temps réel le nombre d'erreurs détectées. Un graphe permet de suivre l'évolution des différents paramètres. Le « Front Panel » du programme ci-dessus est constitué de 4 cadres, décrits ci-après.

### **VI.C.1. Cadre « FPGA »**

C'est la partie qui gère les transferts de données entre la carte DIO 32HS du PC et le CI. Elle permet de :

- régler l'alimentation via le GPIB
- fixer le nombre de voies testées
- donner la fréquence à laquelle le CI et le programme LabVIEW doivent fonctionner
- indiquer la période à laquelle l'ensemble de la mémoire est lue.

Ce cadre renseigne aussi sur la longueur du pattern créé, le nombre de fois qu'il a été envoyé, et le nombre d'erreurs de lecture.

Dans les tests qui suivent, les patterns contiennent 16384 valeurs sur les 15 registres, la fréquence est de 1MHz et la période de lecture est de 1 seconde.

Le bouton « FPGA Control » contrôle la mise en route de l'alimentation. Une fois actionnés, les boutons « Start » et « Pause » permettent de mettre en marche et d'arrêter les transferts de données sans couper l'alimentation.

### **VI.C.2. Cadre « Régulation »**

Cette partie gère le contrôle GPIB du KEITHLEY 2400 qui alimente la cartouche chauffante. Il est possible de donner un intervalle à la tension appliquée et de limiter le courant.

Pour la régulation elle-même, il faut fournir la température souhaitée, la période des mesures de température, et les paramètres du PID qui stabilisent la température du CI.

Comme pour la partie FPGA, les boutons « Start » et « Pause » donnent la possibilité d'arrêter et de démarrer à tout moment, sans gêner et sans avoir à stopper le reste du programme.

### **VI.C.3. Cadre « Capteur »**

Ce sont d'une part les paramètres pour le contrôle du GPIB du PREMA 5017, et d'autre part les données sur les capteurs de température qui permettent de configurer le PREMA.

### **VI.C.4. Cadre « Excel »**

Cette partie permet de sauvegarder toutes les mesures dans un fichier Excel.

Les vi qui réalisent l'interface entre LabVIEW et Excel, aussi bien en lecture qu'en écriture, ont fait l'objet d'un développement important et sont décrits plus précisément dans l'ANNEXE 4. Cette annexe est en fait le manuel d'utilisation que j'ai joint à la bibliothèque de vi.

Je les ai mis à disposition sur le site du CERN (version1.0) :

<http://itcofe.web.cern.ch/itcofe/Services/LabView/UserProjects/welcome.html>.

La version actuelle est la 2.0 et comprend une palette de 38 vi (Figure VI-3). Elle est disponible sur mon site : <http://stephane.gabourin.free.fr>.

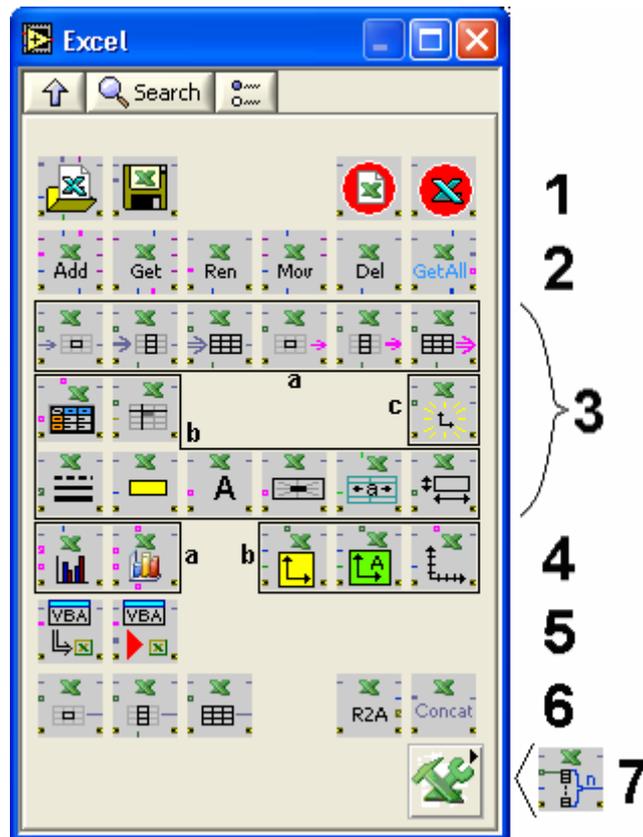


Figure VI-3 : Palette de vi Excel de la version 2.0

Ceux-ci sont organisés en différentes catégories, comme indiquées sur la Figure VI-3 :

- 1) Manipulation des fichiers Excel (workbooks),
- 2) Manipulation des feuilles de calcul (worksheets) et de graphes (Charts),
- 3) Ecriture et **lecture** des données dans les worksheets et mise en forme des cellules,
- 4) Création de graphiques,
- 5) Importation et exécution de macros en Visual Basic,
- 6) Manipulation des objets « range » pour référencer plusieurs groupes de cellules et leur appliquer la même opération (de mise en forme par exemple),
- 7) Sous menu d'outils, le seul actuel permettant de compter les cellules non vides d'une ligne ou d'une colonne.

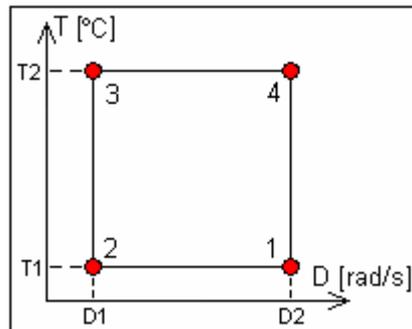
## VI.D. Résultats des tests

### VI.D.1. Introduction

L'objectif étant de modéliser le comportement des CI, et ne disposant que d'un nombre limité de circuits, j'ai utilisé la méthode des plans d'expérience. Tout comme pour la caractérisation du banc de chauffage, il s'agit de déterminer un paramètre à modéliser ainsi que les différents facteurs qui peuvent rentrer en compte dans les variations de ce paramètre. Le paramètre à modéliser est la dose cumulée dans le CI (en krad) dès l'apparition des erreurs de lecture. Pour modéliser ce paramètre, 2 facteurs sont pris en compte :

- la température en °C,
- le débit de dose en  $\text{rad}_{\text{SiO}_2} \cdot \text{s}^{-1}$ ,

Chacun de ces facteurs a un niveau bas et un niveau haut, ce qui correspond à 4 tests (Figure VI-4) :



**Figure VI-4 : Les 4 tests aux limites des 2 facteurs**

T (température) et D (débit de dose) sont les 2 facteurs et 1 et 2 sont les niveaux bas et haut. Par exemple, T1 est le niveau bas de la température soit 35°C.

Il est important de prendre les valeurs min et max pour chaque facteur car l'équation du comportement n'est valable pour l'intérieur du carré.

Sur les 4 graphiques décrits plus loin, jusqu'à 6 courbes sont tracées.

- Rad [krad] : c'est la dose cumulée dans le CI. Celle-ci augmente régulièrement. C'est donc une droite affine qui plafonne à différentes doses totales suivant les tests.
- Tchip [°C] : Température du CI maintenue soit à 35°C, soit à 70°C.
- Current [mA] : Il s'agit de la consommation de courant du CI.
- Read errors [%] : courbe de la somme de toutes les erreurs de lecture. Elle est exprimée en %.
- Errors 32 [%] : Cumul des erreurs des registres 32 bits (exprimé en %)
- Errors 128 [%] : Cumul des erreurs des registres 128 bits (exprimé en %)

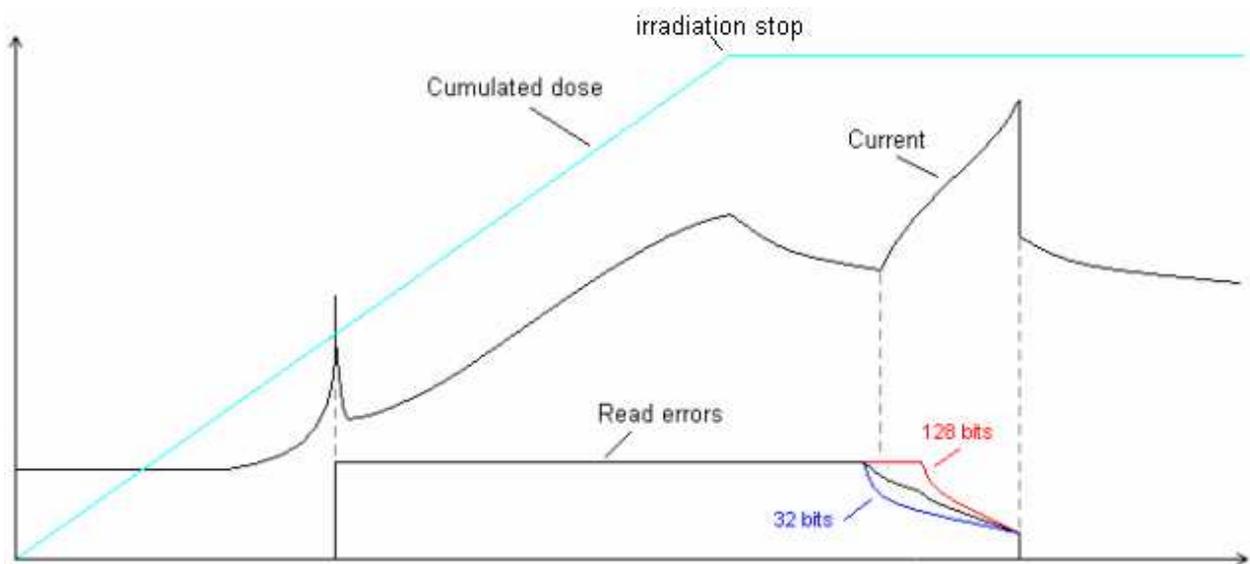
Le registre de 892 bits étant particulièrement sensible aux erreurs même sans radiations, il n'a pas été utilisé lors des 4 derniers tests.

J'ai mené 9 tests d'irradiation en trois fois. Globalement, le comportement des CI est le suivant :

- Augmentation du courant de consommation jusqu'à faire un pic.

- Au pic, toutes les sorties du CI passent à '0' (100% d'erreurs). Le courant continue d'augmenter.
- A la fin de l'irradiation, le courant commence à diminuer instantanément.
- Plus tard, les erreurs commencent à diminuer, différemment suivant la longueur des registres. Parallèlement, le courant se remet à augmenter.
- Les erreurs tombent net à 0 (le CI fonctionne normalement) et le courant chute d'un coup. Il reste cependant bien supérieur à sa valeur initiale.

Ces étapes sont décrites dans le graphe suivant (Figure VI-5) :



**Figure VI-5 : Comportement des CI (FPGA4) sous radiation**

Les tests suivants n'ont pas tous mis ce schéma de comportement en avant à cause d'erreurs du programme, d'enregistrements incomplets, ....

## VI.D.2. Graphes

Les graphes sont donnés dans l'ordre de numérotation des points sur le carré des tests aux limites (Figure VI-4).

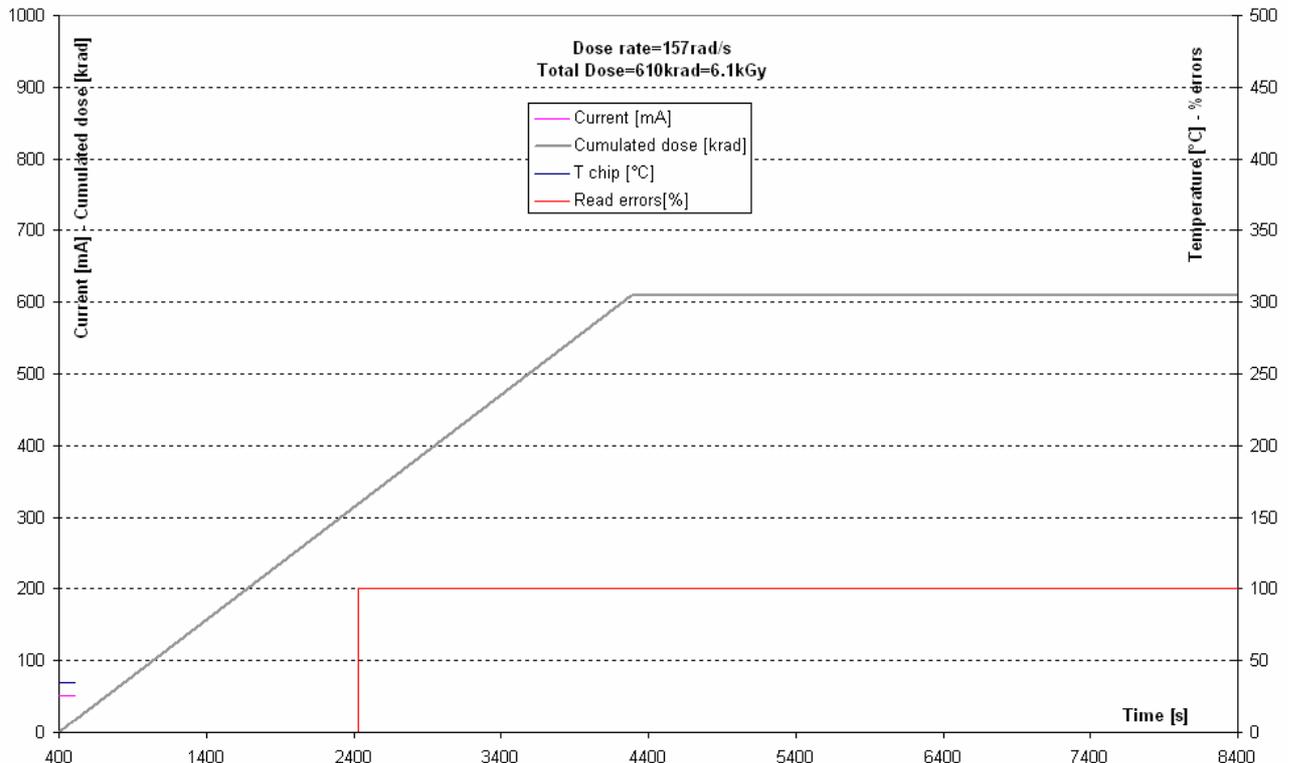
### Point 1 (T1-D2) (Figure VI-6) :

Le CI a été irradié à 35°C et jusqu'à une dose totale (TID : total ionizing dose) de 610krad (6.1kGy) (Figure VI-6).

Pour ce test comme pour le suivant, une erreur dans le programme a stoppé l'acquisition des valeurs de courant et de température. Il reste cependant les erreurs qui sont soudainement apparues à une dose cumulée de **319krad**. Ce pont marque la panne fonctionnelle du CI.

Cette panne correspond en fait à toutes les sorties du CI qui tombent au niveau logique '0', ce qui conforte l'hypothèse d'une tension  $V_{\text{pump}}$  trop faible pour permettre aux signaux de transiter.

En laissant le CI fonctionner après l'irradiation, aucun changement n'est apparu dans le comportement (toujours 100% d'erreurs).



**Figure VI-6 : Point 1 : T1=35°C et D2=157rad/sec**

Point 2 (T1-D1) (Figure VI-7) :

Le CI a été irradié à 35°C et jusqu'à une TID de 830krad (8.3kGy) (Figure VI-7).

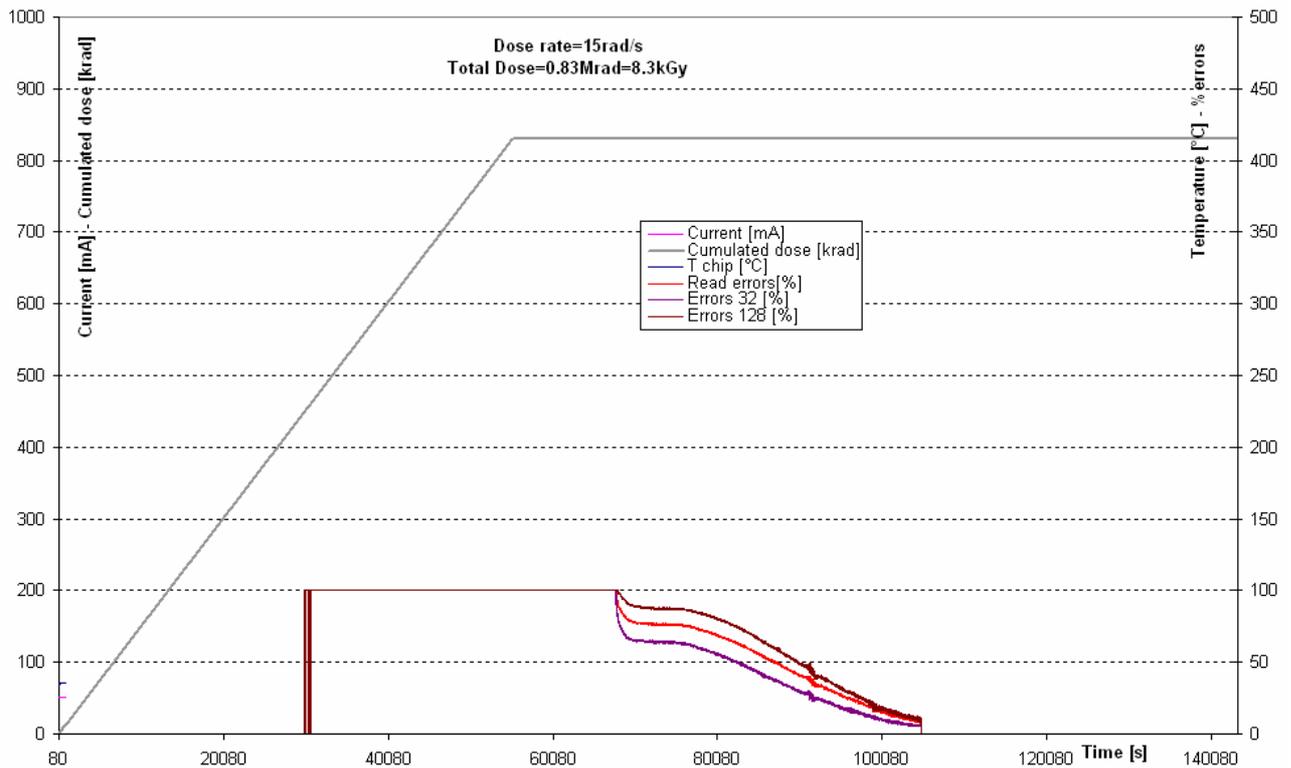
A un débit de dose plus faible (D1 au lieu de D2), les erreurs montent aussi brusquement à 100% qu'avec un fort débit. Dans ce test, elles surviennent à une dose de **448krad**.

Le plus intéressant est la récupération des fonctionnalités du CI qui commence 3 à 4 heures après la fin de l'irradiation. A partir de ce point, la longueur des registres joue un rôle. Bien que le nombre d'erreurs commence à diminuer au même moment, les registres les plus courts (32bits) sont plus rapides à récupérer.

Cependant, la récupération totale survient d'un coup pour tous les registres, 21h après le début des erreurs et 14h après la fin de l'irradiation.

Point 3 (T2-D1) (Figure VI-8) :

Le CI a été irradié à 70°C et jusqu'à une TID de 1Mrad (10kGy) (Figure VI-8). Une coupure de courant l'a stoppé pendant quelques heures. Le CI n'étant pas en fonctionnement pendant cette coupure, sa récupération a été faible. Le graphe de ce point commence donc à une dose cumulée de 368krad.



**Figure VI-7 : Point 2 : T1=35°C et D1=15rad/sec**

Le pic de courant a lieu à la dose de **427krad**. Ce pic serait dû au courant créé par le montage totem pôle (ou montage à charges actives) présent dans les modules logiques, à cause de la diminution de la tension de pompage de charges  $V_{pump}$  (cf. IV.A.5.a). Les erreurs surviennent en 2 coups, le premier étant au début du pic.

La différence de comportement par rapport au point 2 (température basse) se situe lors du retour progressif du fonctionnement du CI. Les taux d'erreur des registres 32 bits diminuent plus tôt et plus vite que pour les registres 128bits (un peu avant même que le courant augmente de nouveau).

Le retour brutal du fonctionnement sans erreurs est accompagné d'une chute de courant de près de 400mA.

Point 4 (T2-D2) (Figure VI-9) :

Le CI a été irradié à 70°C et jusqu'à une TID de 1Mrad (10kGy). Sur ce test, tout a bien été enregistré (Figure VI-9).

Les rayons X font augmenter le courant de façon exponentielle avec un pic de hauteur 300mA. Il est accompagné de la panne fonctionnelle du CI, à une dose de **296krad**.

A cette température, avec un débit de dose plus fort que pour le point 3, le pic de courant est moins important mais le courant de fin d'irradiation monte à 700mA (contre 430mA).

Le comportement des erreurs est le même que celui du point 3.

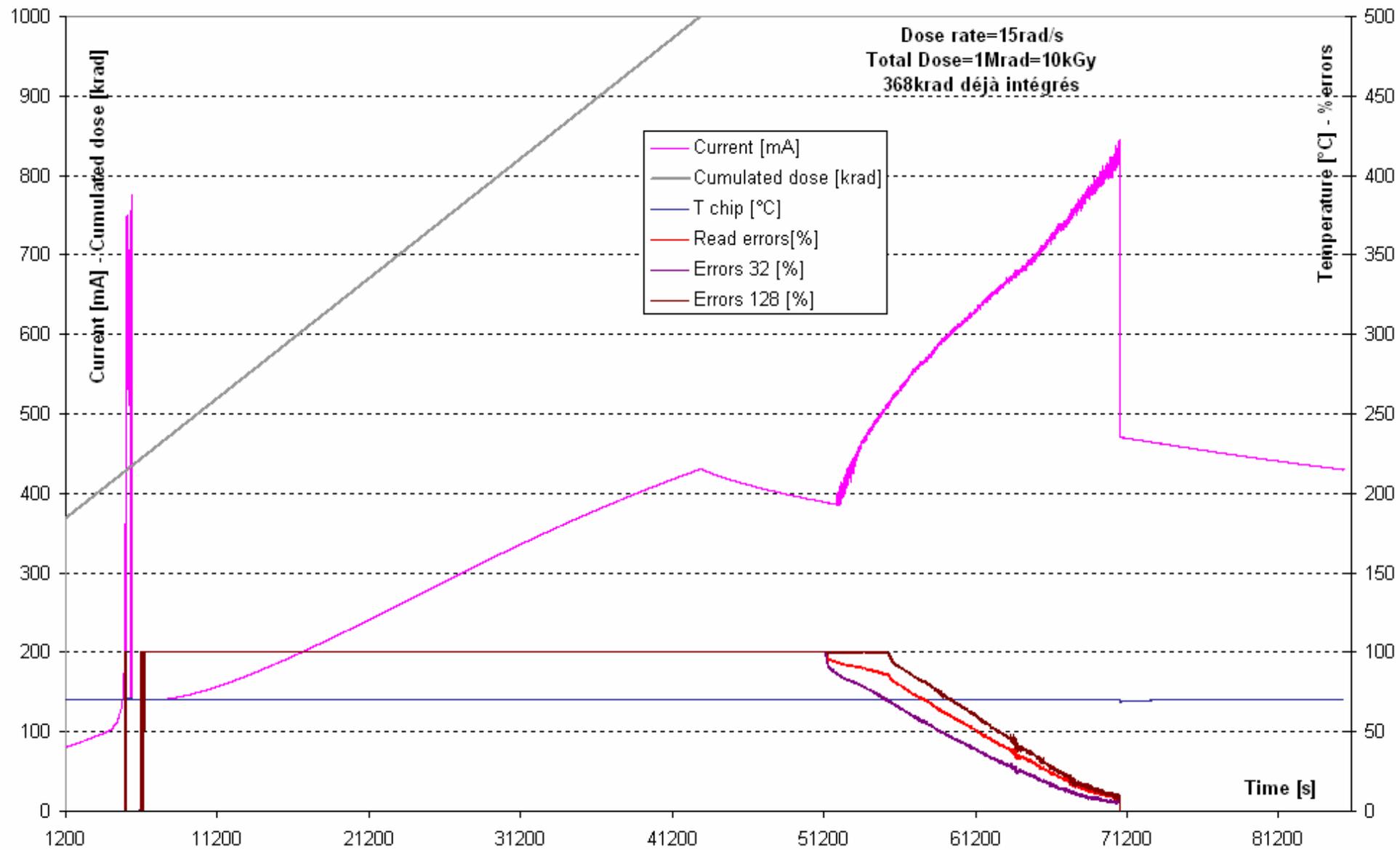


Figure VI-8 : Point 3 : T2=70°C et D1=15rad/sec

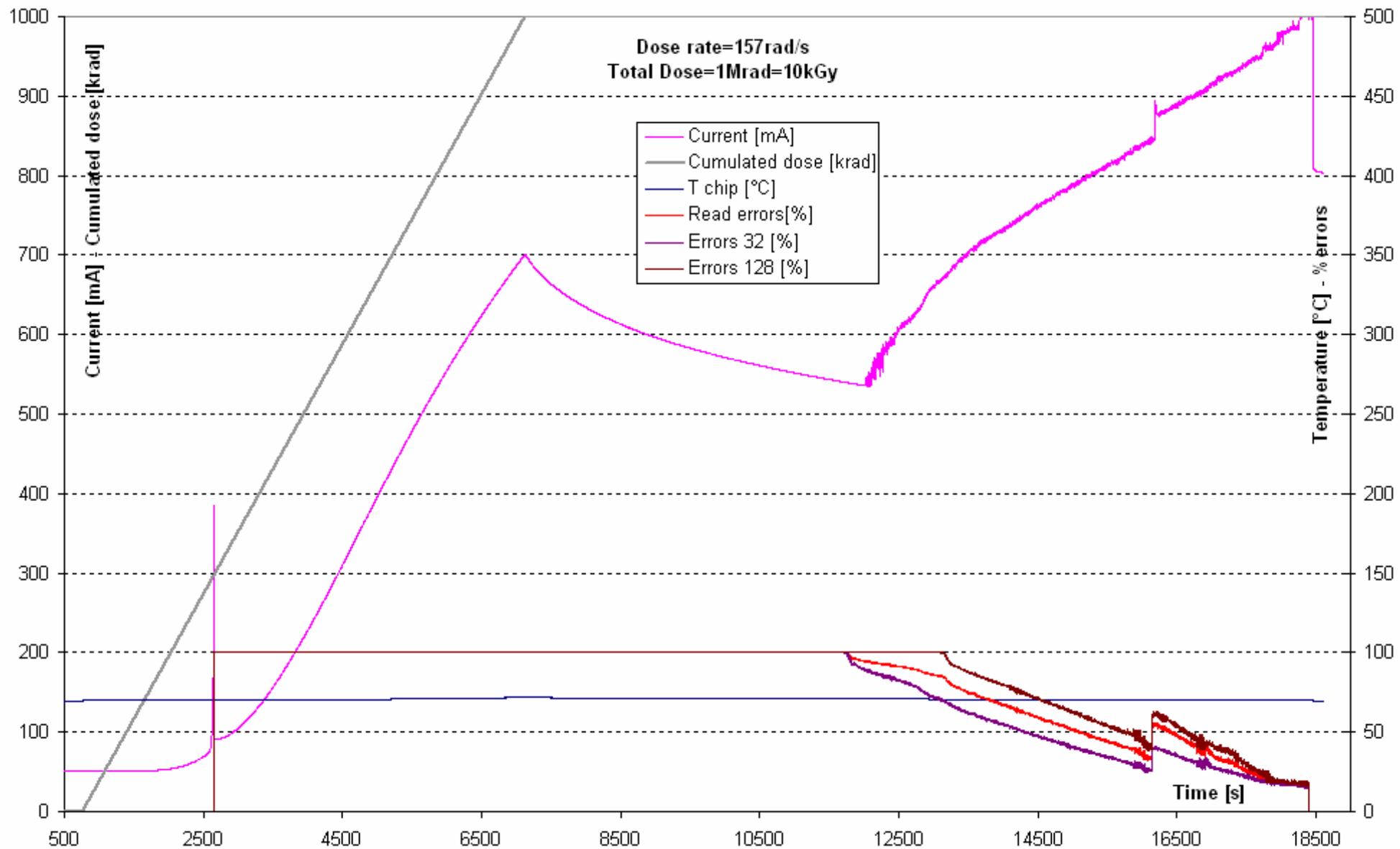


Figure VI-9 : Point 4 : T2=70°C et D2=157rad/sec

## VI.E. Plans d'expérience

Le paramètre Y à modéliser est la dose cumulée dans le CI (en krad) dès l'apparition des erreurs de lecture.

Les 2 facteurs considérés sont :

- la température en °C,
- le débit de dose en  $\text{rad}_{\text{SiO}_2} \cdot \text{s}^{-1}$ ,

Leurs valeurs extrêmes sont (Tableau VI-4) :

	niveau bas	niveau haut
Température (°C)	T1=35	T2=70
Débit de dose (rad/s)	D1=15	D2=157

**Tableau VI-4 : Paramètres des plans d'expérience pour FPGA 4**

A partir des tests précédents, il est possible de construire la matrice d'expériences en variables naturelles (Tableau VI-5) :

N° d'expérience (essai)	Température [°C]	Débit de dose [rad/s]	Dose cumulée [krad]
1	35	15	448
2	35	157	319
3	70	15	427
4	70	157	296

**Tableau VI-5 : Dose cumulée pour les 4 tests des plans d'expérience de FPGA 4**

L'équation polynômiale du modèle est de la forme :

$$Y = a_0 + a_1 \cdot X_1 + a_2 \cdot X_2 + a_{12} \cdot X_1 \cdot X_2$$

La matrice d'expériences en variables réduites est (Tableau VI-6) :

N° d'expérience (essai)	Moyenne	Température (X1)	Débit de dose (X2)	Interaction (X12)	Dose cumulée [krad] (Y)
1	1	-1	-1	1	448
2	1	-1	1	-1	319
3	1	1	-1	-1	427
4	1	1	1	1	296

Niveau -1	35	15
Niveau 1	70	157

Effets	a0	a1	a2	a12
	372.5	-11	-65	-0.5

**Tableau VI-6 : Calcul des coefficients de l'équation des plans d'expérience pour FPGA 4**

On obtient l'équation polynômiale suivante

$$Y = 372,5 - 11 \times X_1 - 65 \times X_2 - 0,5 \times X_1 \times X_2$$

Prenons les effets séparément :

Pour la moyenne ( $a_0$ ), la valeur est de 372,5krad. Il s'agit de la moyenne dans le carré défini par les 4 points.

Nous pouvons observer que le débit de dose a un effet (coefficient de  $X_2=65$ ) 6 fois plus important que la température (coefficient de  $X_1=11$ ) sur la dose à laquelle se produit la panne fonctionnelle.

De plus, dans la réalité, la température restera dans les limites de ces plans d'expérience, tandis que le débit de dose sera beaucoup plus faible que D1 : les 1Mrad seront accumulés sur 20 ans, soit un débit près de 10000 fois moindre. C'est pourquoi, même si la température a un effet moindre lors de mes tests, il est important de la prendre en compte pour représenter au mieux le comportement des CI dans le tunnel du LHC.

Quant à l'interaction entre la température et le débit de dose, elle reste négligeable. Ces 2 facteurs peuvent être considérés comme indépendants.



## CHAPITRE VII

### TESTS SOUS RAYONS X DES CI VERSION FPGA 8

---

## Résumé du CHAPITRE VII :

*Le programme VHDL (dans le CI) de la version FPGA8 est similaire à celui de FPGA4, si ce n'est que les 15 registres ont la même longueur de 128 bits.*

*L'acquisition et le contrôle sont assurés par un programme LabVIEW qui réalise les mêmes tâches. Pour cette version, l'horloge choisie est celle de la carte électronique sur laquelle est installé le FPGA. Celle-ci tourne à la fréquence de 10MHz (ou 40MHz), comme les cartes qui sont installées dans le tunnel.*

*Le CI se comporte comme une mémoire qui contient 128 valeurs (1 valeur comporte 15 bits=nombre de registres), qui tournent en boucle dans les registres (Figure VII-1).*

*Le programme LabVIEW vient maintenant écrire et lire dans la mémoire de façon asynchrone. Seul le FPGA fonctionne à la vitesse de l'horloge à quartz de la carte.*

*Les tests ont été réalisés de manière à pouvoir y appliquer des plans d'expérience. 8 tests aux limites ont été menés pour modéliser le comportement d'un CI en fonction des 3 facteurs (Figure VII-3) :*

- *température*
- *débit de dose*
- *fréquence du CI*

*Le comportement est similaire à celui des FPGA de la version 4 : augmentation du courant qui forme un pic très raide, accompagné de la panne fonctionnelle. Le courant continue d'augmenter jusqu'à la fin de l'irradiation (Figure VII-4).*

*Un moment après l'irradiation, toujours en maintenant la température et le fonctionnement du CI, les erreurs disparaissent progressivement et le CI se remet à fonctionner correctement, bien que le courant de consommation reste élevé.*

*Ces tests ont mis en évidence des circuits qui tiennent bien plus longtemps que d'autres dans les mêmes conditions. Pour avoir une modélisation plus propre, j'ai choisi comme paramètre à déterminer l'intervalle de temps  $\Delta t$  entre l'augmentation de 10% du courant de consommation et le pic de courant (panne fonctionnelle).*

*Les plans d'expérience sont utilisés pour prévoir la dose intégrée à laquelle la panne fonctionnelle apparaît, en fonction de la température, du débit de dose et de la fréquence. L'équation donnée permet de modéliser le comportement des CI dans la zone des tests aux limites. L'objectif est d'extrapoler en dehors de l'espace des plans d'expérience, vers les débits de dose très faibles à l'aide d'un paramétrage adéquat.*

*Pendant les tests aux rayons X, j'ai aussi tenté de mettre en évidence l'influence de la tension  $V_{pump}$  dans la tenue aux radiations, sans obtenir cependant de résultats probants.*

## VII.A. Introduction

Il était important pour cette version de faire circuler un pattern aléatoire dans les registres à décalage afin d'obtenir un comportement du CI qui ne dépende pas d'un pattern choisi. Le but de cette nouvelle version était de faire fonctionner le CI à une fréquence typique (au moins 10MHz) avec un pattern aléatoire tout en évitant les erreurs de communication et de synchronisation avec le PC, comme dans la version 4. Un protocole de communication a donc été mis en place pour lire et écrire de façon asynchrone dans la mémoire du CI. Le PC gère cette communication à sa propre vitesse à l'aide de drapeaux (« flags »). En parallèle, l'horloge du CI fonctionne indépendamment du PC grâce aux horloges à quartz de la carte électronique (de 10 à 40MHz). Le CI n'est plus considéré comme un certain nombre de registres à décalage mais plutôt comme une mémoire sous forme d'un tableau, avec la possibilité d'écrire dans un emplacement précis. C'est pourquoi les registres possèdent tous la même longueur. La structure de cette version 8 est basée sur 15 registres de 127 bits de long.

## VII.B. Structure du CI

Le CI est composé de 15 structures identiques (SR\_MUX) (Figure VII-1). Chacune contient un registre à décalage (SR) de 127 bascules D (chaque bascule occupe une R-Cell de la mémoire). Un multiplexeur (MUX\_W) est inséré avant SR pour permettre de choisir entre faire tourner le registre sur lui-même (entrée a) ou insérer une nouvelle valeur (entrée b). Le choix est donné par la valeur de sel\_W (0→a et 1→b). Ce multiplexeur est synchrone car il est branché sur l'horloge du CI. Un bit a donc besoin de 128 coups d'horloge pour faire le tour entier de la mémoire.

Le deuxième multiplexeur (MUX\_R) est placé en sortie mais en dehors de la boucle où transitent les bits. Il ne rajoute donc pas un temps d'horloge comme MUX\_W. MUX\_R permet de récupérer une valeur à un emplacement mémoire précis et de la conserver en sortie jusqu'à ce qu'une autre valeur soit demandée. Le choix est donné par la valeur de sel\_R.

Un compteur interne au CI (variable *COMPTEUR* sur 7 bits=128 possibilités) est incrémenté à chaque coup d'horloge. A chaque fois qu'un bit atteint la sortie de SR, le compteur contient sa position en mémoire. A cet instant, la valeur du bit est présente à la fois sur l'entrée « a » de MUX\_W et sur l'entrée « b » de MUX\_R.

- Si, à cet instant, sel\_W vaut « 1 », l'entrée « IN » se connecte sur l'entrée de SR et la valeur de « IN » écrase le bit. C'est l'opération d'écriture à la position spécifiée par le compteur.
- Si, toujours au même instant, sel\_R vaut « 1 », la valeur du bit va se retrouver dans « OUT » et sera disponible à la sortie du FPGA. C'est l'opération de lecture à la position spécifiée par le compteur.

Lorsqu'on désire lire ou écrire dans le CI, il faut au préalable spécifier la position concernée (variable *POSITION* sur 7 bits=128 possibilités). Celle-ci est comparée à la valeur du compteur. Lorsqu'il y a égalité, en fonction de la valeur des drapeaux du protocole de communication, sel\_W ou sel\_R passe à « 1 » et exécute la demande.

Pour favoriser l'apparition des erreurs uniquement dans la mémoire (SR\_MUX), les opérations de lecture et d'écriture de la position reposent sur une logique tripliquée. POSITION et COMPTEUR sont en trois exemplaires dans le FPGA et un système de vote permet de supprimer une erreur qui surviendrait sur une des valeurs.

Pour plus de détails sur le protocole et sur le code VHDL, référez-vous à l'ANNEXE 2.

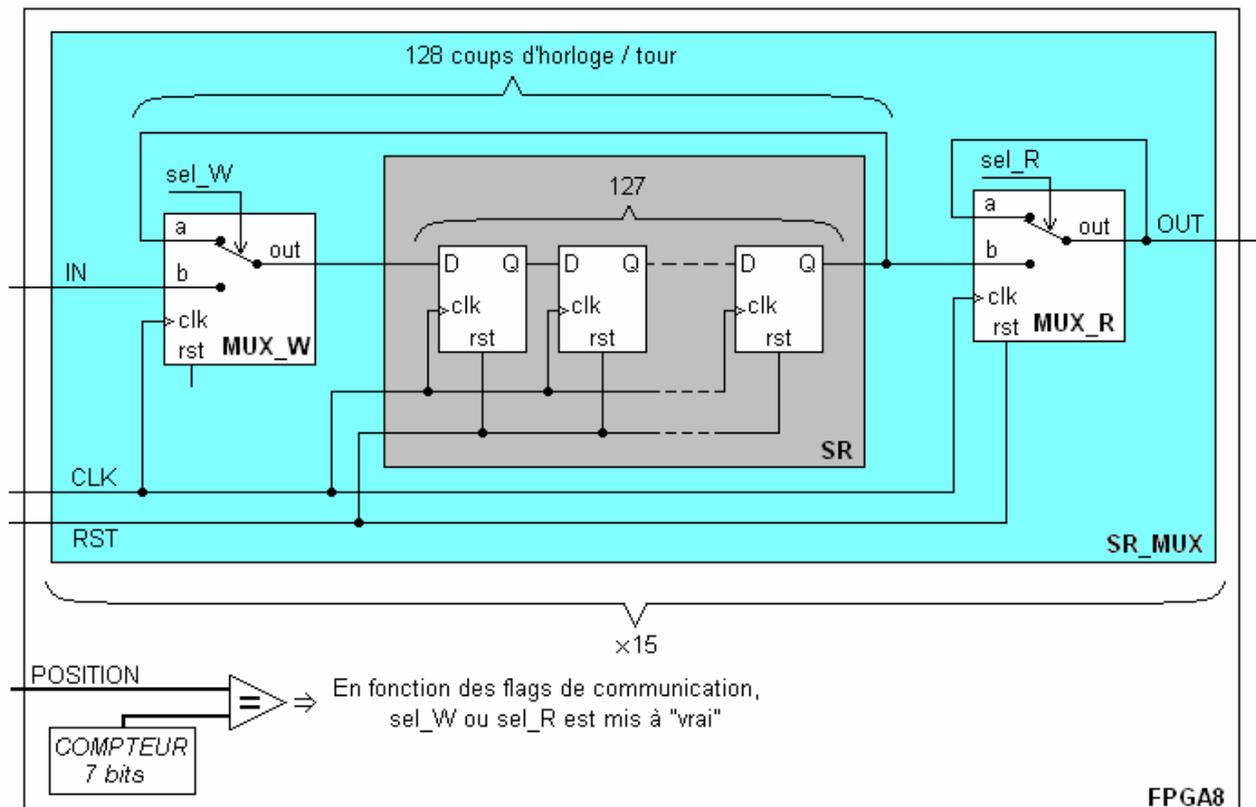


Figure VII-1 : Schéma de la structure interne de FPGA 8

### VII.C. Programme LabVIEW

La Figure VII-2 montre la face avant du programme d'acquisition de FPGA 8, assez proche de celle de FPGA 4

L'interface entre le CI et le PC est réalisée par un programme développé sous LabVIEW 8.2. Sur le « Front Panel » ci-dessus comme dans le code (« Block Diagram »), le programme est divisé en 2 parties indépendantes : la régulation et la gestion des données numériques.

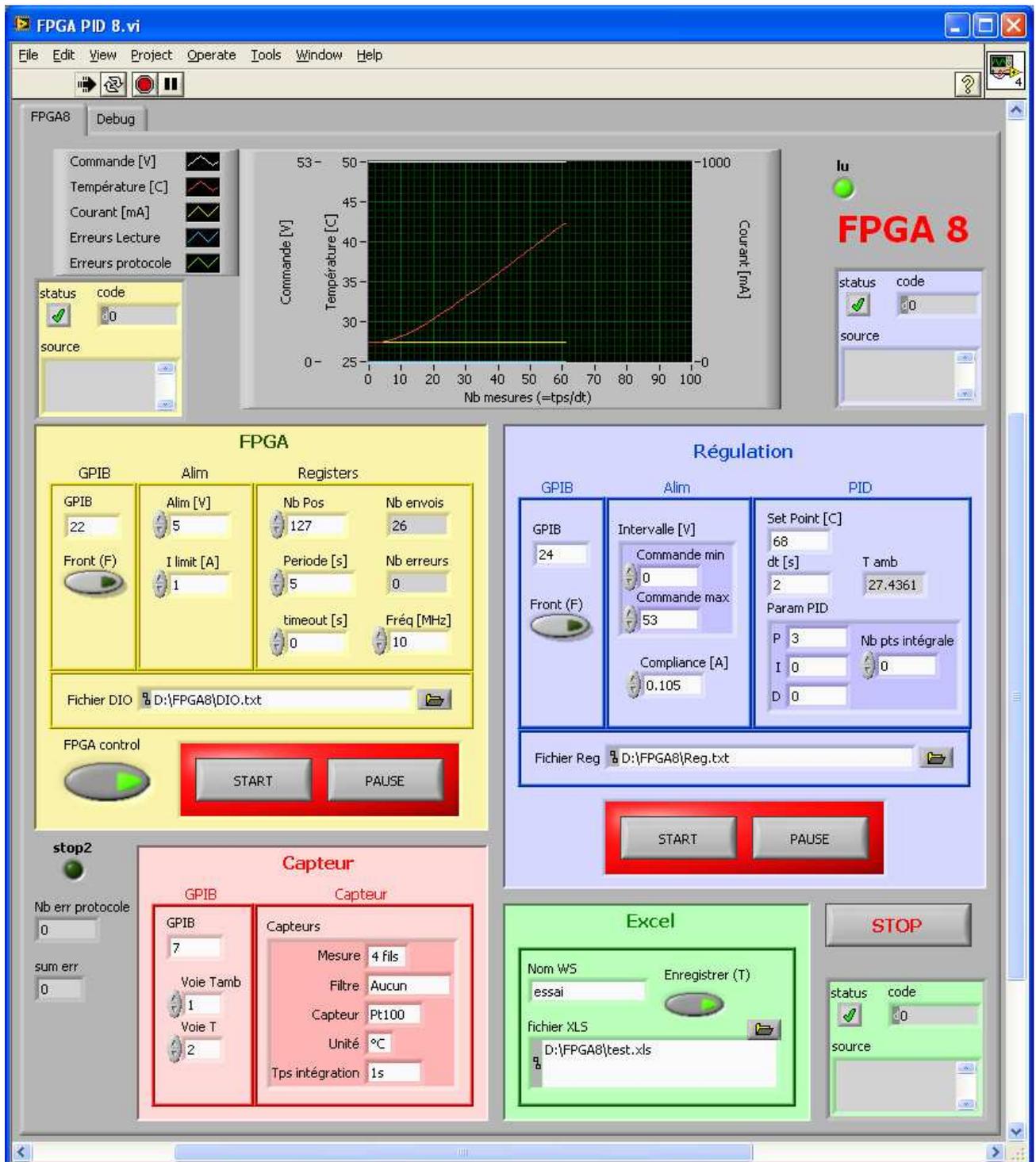


Figure VII-2 : Face avant du programme principal de test (version 8)

D'un côté, la régulation assure le maintien de la température du CI grâce à l'équation des plans d'expérience modélisant le banc de chauffage. C'est aussi cette partie qui mesure le courant de consommation du CI car ce dernier est nécessaire pour évaluer la puissance que doit fournir la cartouche chauffante.

D'un autre côté, la gestion des données numériques assure la communication entre le PC et le CI, incluant l'écriture et la lecture des registres à décalage.

Lors du lancement d'un test, les parties « régulation » et « données » sont lancées indépendamment.

La régulation amène le CI à la température souhaitée et la régule principalement en fonction des fluctuations du courant.

La partie gérant les données crée un pattern aléatoire de 15\*127 bits puis l'utilise pour remplir la mémoire du CI. Ce pattern va tourner en rond à 10MHz ou 40MHz dans le CI et le programme va se contenter de le lire de façon séquentielle en terme de position dans la mémoire.

Lorsqu'une erreur (même d'un seul bit) est détectée dans la lecture d'une position de 15 bits, une 2<sup>ème</sup> lecture puis éventuellement une 3<sup>ème</sup> viennent confirmer s'il s'agit d'une erreur ponctuelle de communication (dans ce cas, la 2<sup>ème</sup> ou 3<sup>ème</sup> lecture est correcte), ou bien d'une erreur due à l'effet de dose des rayons X (l'erreur reste à toutes les lectures). Si l'erreur est répétée les trois fois, le programme écrit à nouveau la bonne valeur dans la mémoire. Cette erreur est appelée « erreur de lecture ».

Un 2<sup>ème</sup> type d'erreur existe pour cette version du CI : l'« erreur de protocole ». Cette erreur est enregistrée lorsque le CI n'est plus capable de confirmer par drapeaux soit s'il a écrit dans sa mémoire, soit s'il a mis en sortie la valeur demandée par LabVIEW. Le protocole ne fonctionne plus et la communication entre le PC et le CI est rompue.

Une erreur de protocole est toujours accompagnée d'une erreur de lecture (LabVIEW vérifie que la valeur de sortie est incorrecte, même sans protocole). Par contre, une erreur de lecture peut se produire sans erreur de protocole.

L'évolution temps réel des différents paramètres mesurés (commande de régulation, température du CI, courant de consommation du CI, erreurs de lecture et erreurs de protocole) est reportée sur le graphe.

Afin de limiter les dégâts si une partie venait à ne plus fonctionner et par sécurité pendant que le programme fonctionne, toutes les données sont enregistrées dans des fichiers « .txt ». Un fichier pour la régulation, et un autre pour les données,. Lorsque tout est stoppé, ces données sont sauvegardées directement dans un fichier Excel, avec les vi précédemment décrits.

## VII.D. Résultats des tests

### VII.D.1. Introduction

Dans les tests qui suivent, 3 facteurs sont pris en compte :

- la température du CI (T),
- le débit de dose (D),
- la fréquence de fonctionnement du CI (F).

J'ai donc utilisé un plan d'expérience constitué de 3 facteurs à 2 niveaux. L'étape suivante consiste à donner des valeurs aux niveaux de chaque facteur :

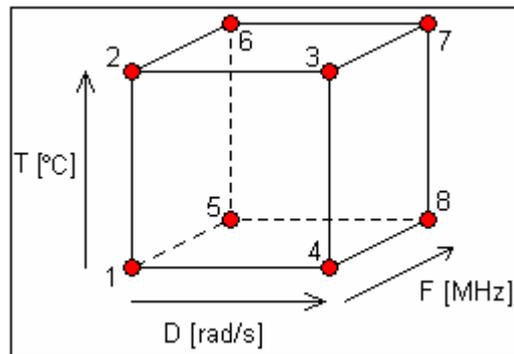
- Pour la température, le niveau bas choisi est de 45°C car la version 4 a montré la difficulté à maintenir la température à 35°C lorsque la consommation des CI s'approche d'1A. Le niveau haut est de 80°C pour maintenir un écart important avec le niveau bas. A cette température, le CI fonctionne encore normalement.
- Pour le débit de dose, les niveaux bas et haut restent inchangés par rapport à la version 4 : 15rad/s et 157rad/s respectivement. Ce sont les valeurs limites avec une tension d'alimentation du tube à rayons X de 40kV (tension de meilleure précision pour le débit de dose) et pour une distance constante tube/CI de 16 cm (pour que tous les CI soient irradiés de la même manière). Le débit dépend seulement du courant d'alimentation du tube qui va de 5mA (niveau bas) à 60mA (niveau haut).
- La fréquence de fonctionnement a pour niveau bas 10MHz (plus petite valeur d'horloge du PCB) et 40MHz (plus grande valeur d'horloge du PCB).

Le Tableau VII-1 : Les trois facteurs étudiés pour FPGA 8 résume ces facteurs :

		niveau bas	niveau haut
Température	°C	45	80
Débit de dose	rad/s	15	157
Fréquence	MHz	10	40

**Tableau VII-1 : Les trois facteurs étudiés pour FPGA 8**

Ces 3 facteurs à 2 niveaux forment un cube pour lequel les 8 sommets correspondent à un test aux limites (Figure VII-3) :



**Figure VII-3 : Les 8 tests aux limites des 3 facteurs**

Les 8 tests décrits ci-après sont les tests des 8 sommets. T, D et F sont les 3 facteurs et 1 et 2 sont les niveaux bas et haut. Par exemple, D2 est le niveau haut du débit de dose soit 157 rad/s.

Tous les CI ont été irradiés jusqu'à la même dose totale de 1Mrad.

Sur les graphiques, 5 courbes sont tracées :

1. Rad [krad] : c'est la dose cumulée dans le CI. Celle-ci augmente régulièrement. C'est donc une droite qui part de 0 pour plafonner à 1000krad soit 1Mrad (axe de gauche).
2. Tchip [°C] : Température du CI maintenue soit à 45°C, soit à 80°C.
3. Current [mA] : Le courant a un comportement similaire à celui déjà observé avec la version 4.
4. Read errors [%] : La courbe des erreurs de lecture est aussi comparable aux résultats donnés par la version 4.
5. Protocole errors [nbr/128] : La 5<sup>ème</sup> courbe représente les erreurs de protocole. Son comportement est différent de celui des erreurs de lecture.

Les 8 tests d'irradiation ont un comportement proche de la version 4, mais avec quelques renseignements supplémentaires. Les différentes étapes sont :

- Augmentation du courant de consommation jusqu'à faire un pic
- Au début du pic, les erreurs de lecture passent à 100%.
- Le pic est un pic simple et étroit pour les forts débits (157rad/s). Pour les tests réalisés à 15 rad/s, il s'agit d'une multitude de pics qui durent jusqu'à plusieurs heures. Pendant ces pics, les erreurs de protocole augmentent de façon exponentielle jusqu'au maximum (128) lorsque le courant se stabilise à nouveau.
- A la fin de l'irradiation, le courant commence à diminuer instantanément.
- Plus tard, les erreurs de protocole commencent à diminuer et tombent assez rapidement à 0. Parallèlement, le courant se remet à augmenter. C'est la période de récupération. De la fin du pic de courant au début de la récupération, le programme LabVIEW n'arrive pas à communiquer avec le CI.
- Les erreurs de lecture tombent net à 0 (le CI fonctionne normalement), accompagnées d'une chute de courant (qui reste cependant assez élevé). Les erreurs de lecture sont présentes depuis le début du pic de courant jusqu'à ce point.

Ces étapes sont décrites dans le graphe suivant (Figure VII-4).

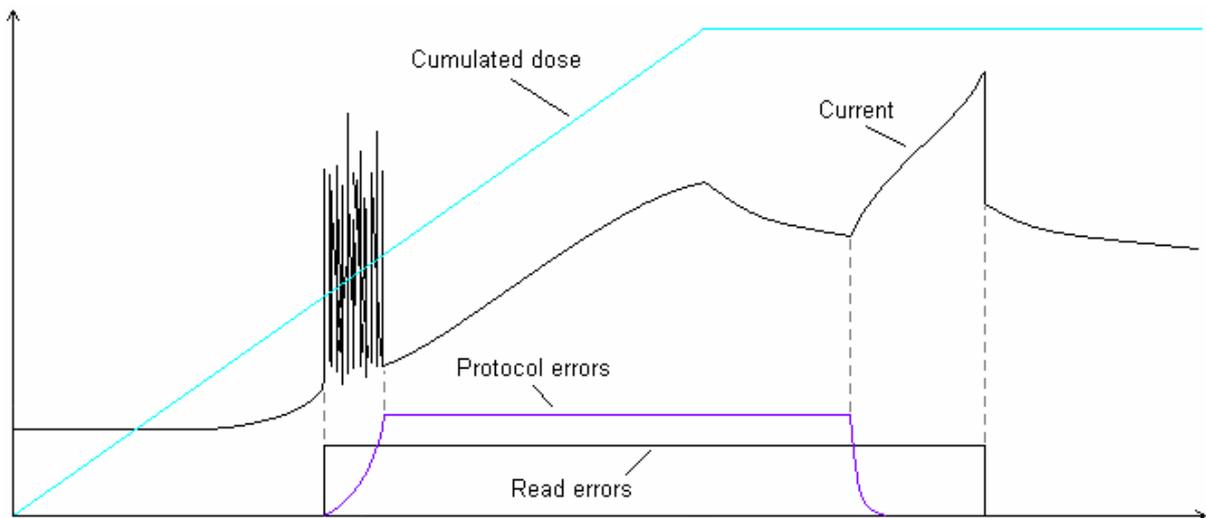


Figure VII-4 : Comportement des CI (FPGA8) sous radiation

### VII.D.2. Graphes des 8 tests

Les graphes sont donnés dans l'ordre de numérotation des sommets du cube. Référez-vous à l'ANNEXE 3 pour les consulter :

#### Point 1 (T1-D1-F1) :

Les erreurs de lecture commencent net à une dose cumulée de **514krad** au début des pics.

Les pics de courant durent assez longtemps pour observer les erreurs de protocole qui augmentent exponentiellement.

Le temps de récupération post irradiation est suffisamment long pour observer la décroissance exponentielle des erreurs de protocole.

Les erreurs de lecture disparaissent d'un seul coup lors de la chute de courant.

Les erreurs (au moins de protocole) reviennent soudainement au maximum un peu plus tard. Ces erreurs ne diminuent jamais. Il suffit cependant de couper et de remettre l'alimentation du CI pour que celui-ci se remette à fonctionner sans erreurs.

#### Point 2 (T2-D1-F1) :

Début des erreurs de lecture : **507krad**. La température étant plus élevée, il faut plus de temps pour arriver à 100% des erreurs et les pics de courant s'étalent sur 3h.

La récupération du CI se fait plus rapidement après la fin de l'irradiation.

Grâce à la température et au faible débit de dose, aucun retour des erreurs n'a été observé.

#### Point 3 (T2-D2-F1) :

Avec un débit de dose élevé, le pic est beaucoup plus étroit, et se produit à une dose cumulée bien plus faible : **341krad**.

La récupération post irradiation est aussi plus difficile. Les erreurs de lecture sont presque restées à 100% avant le retour des erreurs de protocole.

#### Point 4 (T1-D2-F1) :

C'est le cas où le CI subit le plus de dommages. Les erreurs arrivent à **341**krad et le courant augmente beaucoup. Le plafond du KEITHLEY 2400 de 1A a été rapidement atteint lors de la récupération et les erreurs de lecture n'ont pas pu retomber à 0

#### Point 5 (T1-D1-F2) :

Les pics commencent à **472** krad.

A une fréquence plus élevée, le retour des erreurs de protocole intervient non pas après mais pendant la récupération. Les erreurs de lecture ne peuvent pas retomber à 0 lors de la chute de courant car les erreurs de protocole sont déjà au maximum.

#### Point 6 (T2-D1-F2) :

Le CI tient jusqu'à **566**krad. A 40MHz, les pics de courant sont moins hauts et moins larges. De la même manière, les temps de récupération sont plus courts que pour les tests à 10MHz.

#### Point 7 (T2-D2-F2) :

Le pic a lieu à **341**krad. Dans ce cas aussi, les erreurs de lecture n'ont pas le temps de tomber à 0 car le retour des erreurs de protocole a lieu juste avant la chute de courant qui marque la fin de la récupération.

#### Point 8 (T1-D2-F2) :

Le pic a lieu à **391**krad. A basse température et à fort débit de dose, le courant monte encore très haut avant la fin de l'irradiation. Une fois de plus, le retour précoce des erreurs de protocole empêche d'observer la chute des erreurs de lecture.

### VII.E. Plans d'expérience

Pour tout ce qui suit, les 3 facteurs considérés sont :

- X1 : la température en °C,
- X2 : le débit de dose en  $\text{rad}_{\text{SiO}_2} \cdot \text{s}^{-1}$ ,
- X3 : la fréquence de fonctionnement du CI en MHz

Leurs valeurs extrêmes sont (Tableau VII-2) :

	niveau bas	niveau haut
Température (°C)	T1=45	T2=80
Débit de dose (rad/s)	D1=15	D2=157
Fréquence (MHz)	F1=10	F2=40

**Tableau VII-2 : Paramètres des plans d'expérience pour FPGA 8**

### VII.E.1. Plan sur la durée de fonctionnement

Le paramètre Y à modéliser est le temps au bout duquel le CI est en panne fonctionnelle, c'est-à-dire lorsque les erreurs de lecture apparaissent. Ce temps coïncide avec le premier pic de courant qui survient. Il s'agit de la durée de fonctionnement du CI, noté  $t_f$ .

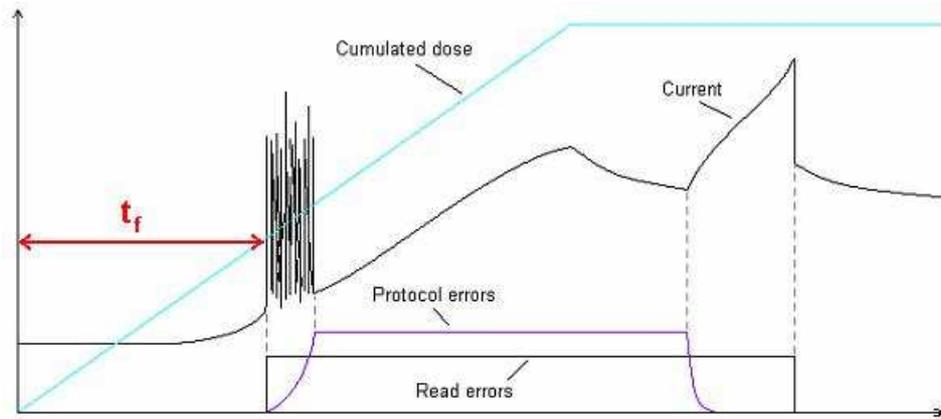


Figure VII-5 : Paramètre  $t_f$  pris en compte dans les plans d'expérience de FPGA 8

A partir des tests précédents, il est possible de construire la matrice d'expériences en variables naturelles (Tableau VII-5) :

N° d'expérience (essai)	Point du cube	Circuit	Température [°C]	Débit de dose [rad/s]	Fréquence [MHz]	$t_f$ [s] (Y)
1	1	3	45	15	10	34119
2	5	4	45	15	40	31770
3	4	D	45	157	10	2615
4	8	7	45	157	40	2495
5	2	0	80	15	10	33610
6	6	9	80	15	40	37513
7	3	A	80	157	10	2545
8	7	6	80	157	40	2180

Tableau VII-3 : Dose cumulée pour les 8 tests du plan d'expérience de  $t_f$

La Figure VII-6 montre ces points dans un graphe 3D :

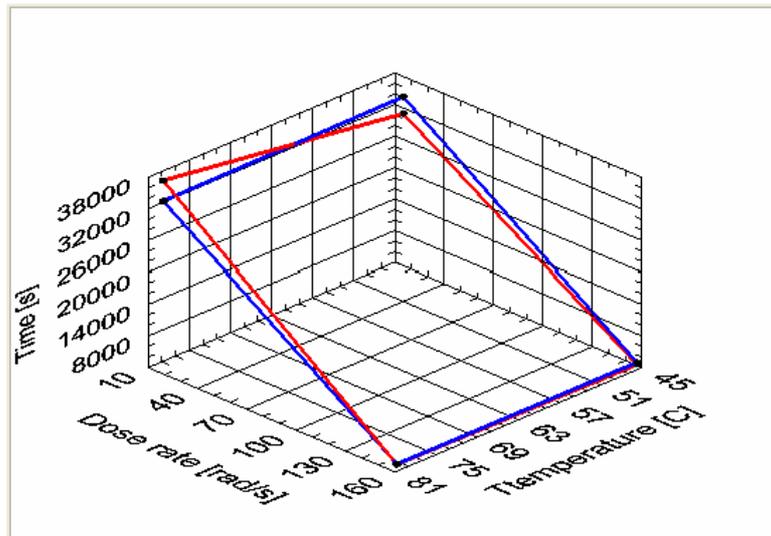


Figure VII-6 : Représentation 3D de  $t_f$  pour les 8 points extrêmes. Courbe bleue pour 10MHz et rouge pour 40MHz.

La colonne « Point du cube » donne la correspondance avec les sommets du cube des plans d'expérience de la Figure VII-3.

La colonne « Circuit » correspond au nom donné au circuit qui a subi le test.

En prenant en compte les interactions du 2<sup>ème</sup> ordre, l'équation polynômiale du modèle est de la forme :

$$Y = a_0 + a_1 \cdot X_1 + a_2 \cdot X_2 + a_3 \cdot X_3 + a_{12} \cdot X_1 \cdot X_2 + a_{13} \cdot X_1 \cdot X_3 + a_{23} \cdot X_2 \cdot X_3 + a_{123} \cdot X_1 \cdot X_2 \cdot X_3$$

La matrice d'expériences en variables réduites est

N° d'expérience (essai)	Moyenne	Température (X1)	Débit de dose (X2)	Fréquence (X3)	Interaction 1 (12)	Interaction 2 (13)	Interaction 3 (23)	Interaction 4 (123)	tf [s] (Y)
1	1	-1	-1	-1	1	1	1	-1	34119
2	1	-1	-1	1	1	-1	-1	1	31770
3	1	-1	1	-1	-1	1	-1	1	2615
4	1	-1	1	1	-1	-1	1	-1	2495
5	1	1	-1	-1	-1	-1	1	1	33610
6	1	1	-1	1	-1	1	-1	-1	37513
7	1	1	1	-1	1	-1	-1	-1	2545
8	1	1	1	1	1	1	1	1	2180

Niveau -1	45	15	10
Niveau 1	80	157	40

Effets	a0	a1	a2	a3	a12	a13	a23	a123
	18356	606	-15897	134	-702	751	-255	-812

Tableau VII-4 : Calcul des coefficients de l'équation des plans d'expérience de  $t_f$

On obtient l'équation polynômiale suivante :

$$Y = 18356 + 606 \cdot X_1 - 15897 \cdot X_2 + 134 \cdot X_3 - 702 \cdot X_1 \cdot X_2 + 751 \cdot X_1 \cdot X_3 - 255 \cdot X_2 \cdot X_3 - 812 \cdot X_1 \cdot X_2 \cdot X_3$$

Le débit de dose ( $X_2$ ) est le paramètre qui influence le plus la durée de fonctionnement. Plus il est fort, plus la durée de fonctionnement est faible, car le coefficient est négatif.

Le 2<sup>ème</sup> facteur à avoir le plus d'effet est la température du CI ( $X_1$ ). Quand elle s'élève, la durée de fonctionnement augmente (car le coefficient est positif). Son influence est quand même 25 fois plus faible que celle du débit de dose. En effet, son coefficient ne dépasse pas ceux des interactions.

Quant à la fréquence, son influence peut être considérée comme nulle.

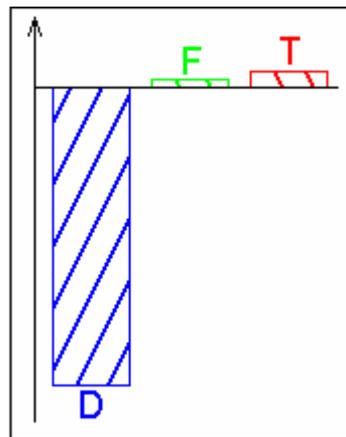


Figure VII-7 : Influence relative des 3 facteurs sur la longueur de  $t_f$

### VII.E.2. Plan sur l'intervalle $\Delta t = t_f - t_{i_0+10\%}$

Certains CI se sont révélés plus sensibles que d'autres indépendamment des paramètres de température et de radiation. Cela se manifeste par une élévation de courant survenant plus tôt. Pour pallier à ce problème, sûrement en lien avec la conception du circuit, j'ai réalisé un plan d'expérience avec un autre paramètre  $\Delta t$ .

Il s'agit de l'intervalle de temps entre le moment où le courant s'est élevé de 10% par rapport à sa valeur de départ, et le temps de la panne fonctionnelle, comme décrit sur la Figure VII-8.

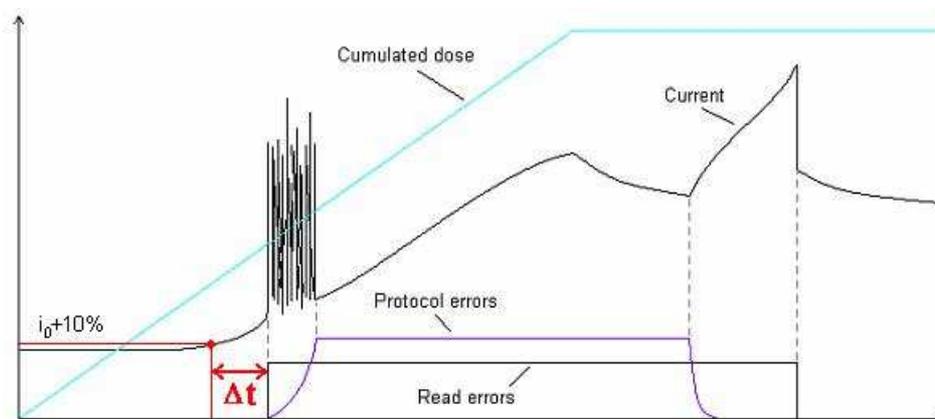


Figure VII-8 : Paramètre  $\Delta t$  pris en compte dans les plans d'expérience de FPGA 8

La matrice d'expériences en variables naturelles est (Tableau VII-5 : Valeurs de  $\Delta t$  pour les 8 tests du plan d'expérience) :

N° d'expérience (essai)	Point du cube	Circuit	Température [°C]	Débit de dose [rad/s]	Fréquence [MHz]	$\Delta t$ [s] (Y)
1	1	3	45	15	10	14983
2	5	4	45	15	40	8390
3	4	D	45	157	10	880
4	8	7	45	157	40	638
5	2	0	80	15	10	15410
6	6	9	80	15	40	13285
7	3	A	80	157	10	1041
8	7	6	80	157	40	300

**Tableau VII-5 : Valeurs de  $\Delta t$  pour les 8 tests du plan d'expérience**

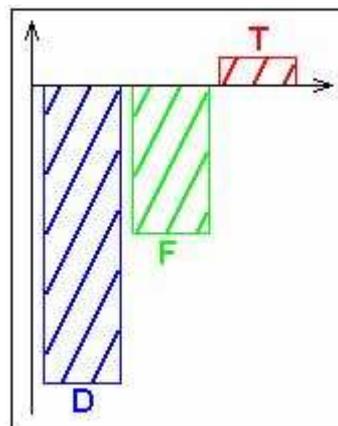
On procède comme précédemment pour obtenir l'équation polynômiale suivante :

$$Y = 6866 + 643.X_1 - 6151.X_2 - 1213.X_3 - 687.X_1.X_2 + 496.X_1.X_3 + 967.X_2.X_3 - 621.X_1.X_2.X_3$$

Le débit de dose ( $X_2$ ) est encore le paramètre qui influence le plus la durée de fonctionnement. Son coefficient étant négatif, plus il est fort, plus le  $\Delta t$  est faible.

Le 2<sup>ème</sup> facteur à avoir le plus d'effet est la fréquence de fonctionnement du CI ( $X_3$ ). Son influence est 5 fois plus faible que celle de  $X_2$ . Une fréquence plus élevée raccourcit le  $\Delta t$ .

La température a un effet près de 10 fois plus faible que le débit de dose et 2 fois plus faible que la fréquence. Elle est aussi « négligeable » que les interactions entre les 3 facteurs (Figure VII-9).



**Figure VII-9 : Influences relatives des trois facteurs sur la longueur de  $\Delta t$**

Cependant, le coefficient de l'effet de la fréquence est faussé, car lorsque la fréquence est de 40MHz, le CI consomme 240mA au départ alors qu'à 10MHz, il ne consomme que 100mA. Prendre un point à 10% de courant supplémentaire signifie 24mA de plus pour 40MHz et 10mA de plus pour 10MHz.

Le  $\Delta t$  des tests à 40MHz est donc plus resserré vers le pic de courant (Figure VII-10) :

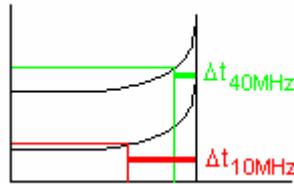


Figure VII-10 : Pour un même comportement du courant,  $\Delta t_{40\text{MHz}} < \Delta t_{10\text{MHz}}$

Cette erreur se voit bien sur le graphe 3D. La courbe des 40MHz se détache largement de celle des 10MHz (Figure VII-11) :

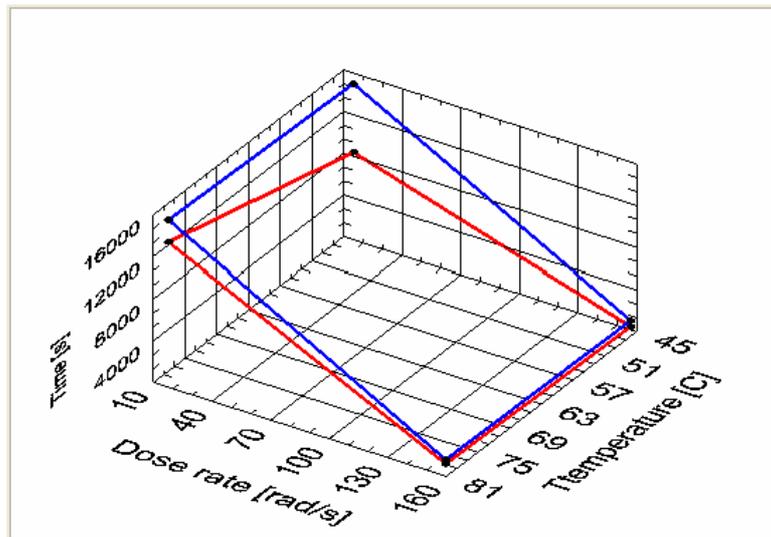


Figure VII-11 : Représentation 3D de  $\Delta t$  pour les 8 points extrêmes. Courbe bleue pour 10MHz et rouge pour 40MHz.

C'est la raison pour laquelle au lieu de choisir un pourcentage supplémentaire, j'ai pris une quantité absolue en mA pour refaire un troisième plan.

### VII.E.3. Plan sur l'intervalle $\Delta t_2 = t_f - t_{i0+10\text{mA}}$

Le principe est exactement le même que précédemment, mais pour une élévation de courant de 10mA. La matrice en variables naturelles est :

N° d'expérience (essai)	Point du cube	Circuit	Température [°C]	Débit de dose [rad/s]	Fréquence [MHz]	$\Delta t_2$ [s] (Y)
1	1	3	45	15	10	15055
2	5	4	45	15	40	13284
3	4	D	45	157	10	885
4	8	7	45	157	40	965
5	2	0	80	15	10	15410
6	6	9	80	15	40	17949
7	3	A	80	157	10	1031
8	7	6	80	157	40	480

Tableau VII-6 : Valeurs de  $\Delta t_2$  pour les 8 tests du plan d'expérience

Sur la courbe 3D de la Figure VII-12, le débit de dose entre 15 et 157 rad/s a une influence beaucoup plus grande que la température entre 45 et 80°C. Le graphe 3D ressemble plus à celui de  $t_f$  (Figure VII-12), ce modèle est donc plus fidèle à  $t_f$  que celui de  $\Delta t$ .

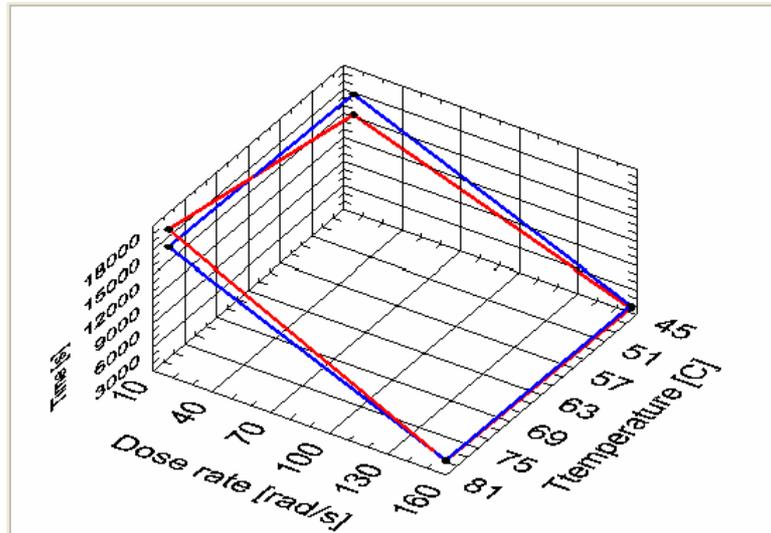


Figure VII-12 : Représentation 3D de  $\Delta t_2$  pour les 8 points extrêmes. Courbe bleue pour 10MHz et rouge pour 40MHz.

L'équation finale s'écrit :

$$Y = 8132 + 585.X_1 - 7292.X_2 + 37.X_3 - 670.X_1.X_2 + 460.X_1.X_3 - 155.X_2.X_3 - 618.X_1.X_2.X_3$$

En comparant les valeurs relatives des différents coefficients avec ceux de l'équation de  $t_f$ , on s'aperçoit que ce modèle n'est pas plus exempt d'incertitudes. En effet, les effets des interactions entre les facteurs restent élevés (670 max) par rapport à l'effet de la température (585). C'est pourquoi l'extrapolation pour l'environnement radiatif du LHC n'utilise que le paramètre  $t_f$ .

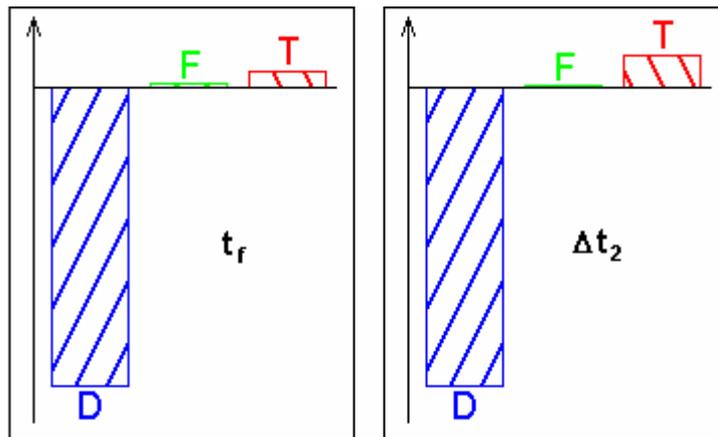


Figure VII-13 : Influences relatives des trois facteurs sur la longueur de  $t_f$  et de  $\Delta t_2$

La modification de la dose conserve le même profil du courant tandis que la modification de la température influe plus sur  $\Delta t_2$  que sur tout le temps de fonctionnement  $t_f$ . Après une élévation de température, le rapport  $\Delta t_2/t_f$  sera plus important (Figure VII-14).

La fréquence n'est pas prise en compte étant donné son influence minimale.

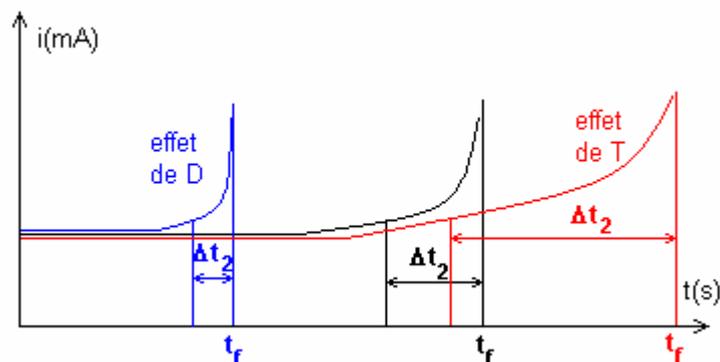


Figure VII-14 : Effets du débit de dose  $D$  et de la température  $T$  sur le comportement du courant

Ainsi, si 2 circuits ont mis le même temps pour augmenter leur consommation de 10%, celui qui fonctionne à la plus haute température tiendra plus longtemps la dose avant la panne fonctionnelle.

Sur la courbe 3D, le débit de dose entre 15 et 157 rad/s a une influence beaucoup plus grande que la température entre 45 et 80°C (Figure VII-12).

## VII.F. Extrapolation pour les doses du LHC

L'étape suivante consiste à vérifier la linéarité entre ces points pour le paramètre  $t_f$ . C'est pourquoi j'ai choisi des points intermédiaires au milieu de chaque ligne et au centre de l'espace pour les fonctionnements à 10MHz.

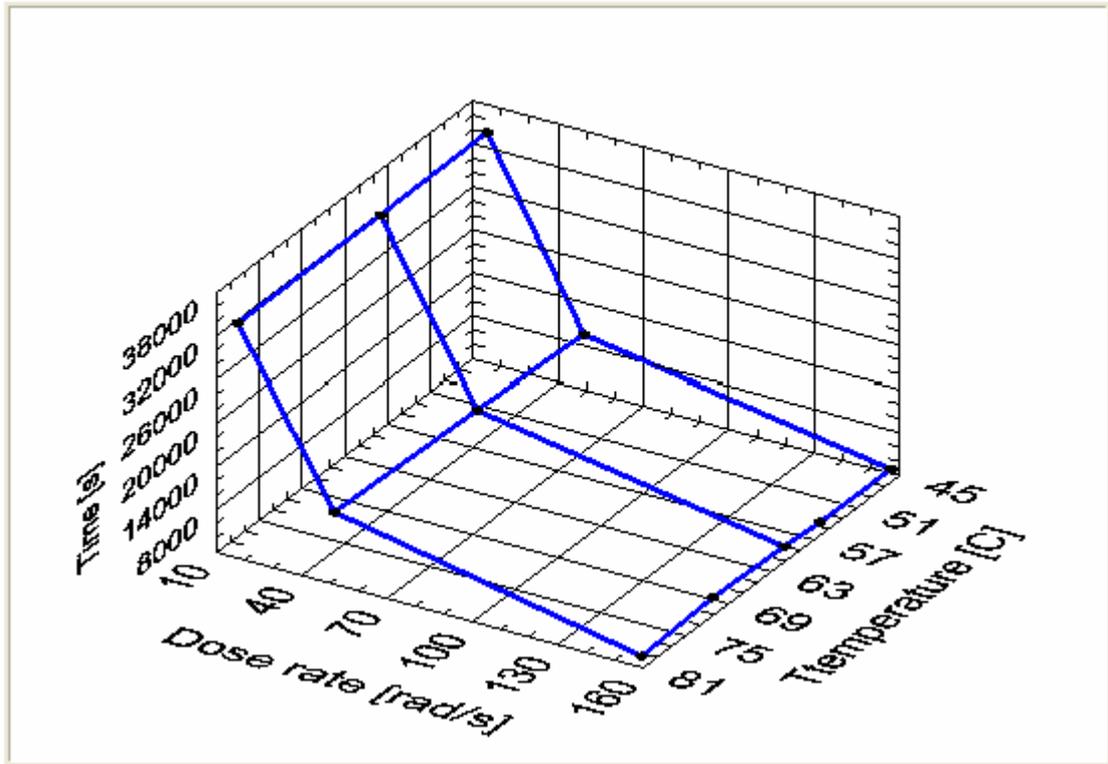


Figure VII-15 : Représentation 3D de  $t_f$  avec les points intermédiaires pour  $F=10\text{MHz}$

En fonction du débit de dose, le Delta t avant la panne fonctionnelle semble suivre une exponentielle décroissante (Figure VII-15). Cependant, si l'on considère les conditions aux limites :

- Pour un débit de dose nul, le CI est censé ne jamais tomber en panne à cause des radiations. C'est la raison pour laquelle l'évolution du « Delta t » doit avoir une asymptote verticale à  $D=0 \text{ rad.s}^{-1}$ .
- De même, pour un débit de dose infini, le « Delta t » doit tendre vers 0, soit une asymptote horizontale à  $t=0\text{s}$ .

La meilleure forme analytique décrivant cette fonction est :

$$\Delta t = \frac{1}{a.D^b}$$

D étant le débit de dose en  $\text{rad.s}^{-1}$ , a et b sont des coefficients constants.

L'approximation du temps de fonctionnement d'un FPGA en fonction à la fois de la température et du débit de dose s'écrit par la relation :

$$t_f = a_1.T + \frac{1}{a_2.D^{a_3}}$$

Un ajustement de cette fonction aux données nous donne la valeur la plus probable des paramètres  $a_1$ ,  $a_2$  et  $a_3$ .

$$t_f = -2,34.10^{-3} \times T + \frac{1}{7,895.10^{-3} \times D^{0,9459}}$$

La fonction reproduit les valeurs mesurées avec un écart maximal de 10% pour le plus mauvais cas.

En reprenant la dose de 1,3kGy pour le pire cas sur les 20 ans de fonctionnement du LHC, on obtient un débit de dose moyen de  $D_{LHC}=2,06.10^{-4} \text{ rad.s}^{-1}$ . Selon ce modèle, un circuit fonctionnant à 70°C doit tomber en panne au bout de 388 473 heures, soit à peu près **44 ans**.

## VII.G. Test de $V_{\text{pump}}$ .

J'ai réalisé des tests pour mettre en évidence la défaillance du circuit due à la baisse de la tension  $V_{\text{pump}}$ , comme décrit dans le paragraphe III.A.7.b et dans [15]. J'ai utilisé deux modes opératoires : un mode statique, l'autre dynamique.

### VII.G.1. Mode opératoire statique

$V_{\text{pump}}$  est une tension directement reliée à la tension d'alimentation  $V_{\text{cc}}$ . J'ai donc fait fonctionner plusieurs circuits à des tensions d'alimentation différentes (5V, 6V et 7V) pour comparer leur tenue aux radiations (Figure VII-16 à Figure VII-18).

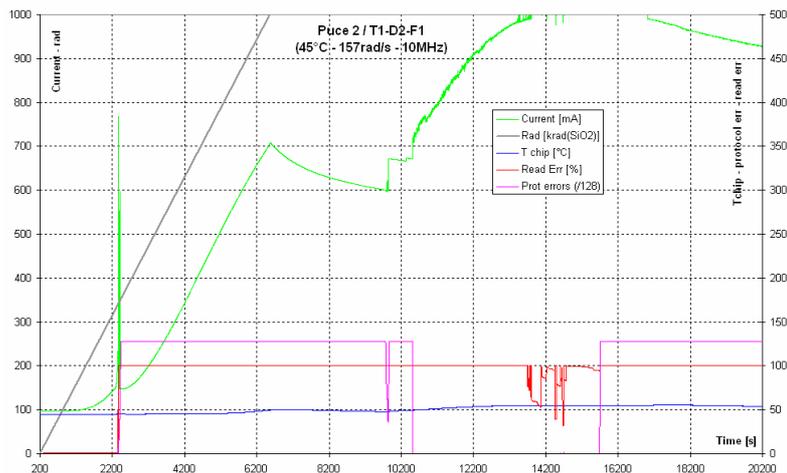


Figure VII-16 : Point 4 des tests de rayons X de FPGA8, à  $T=45^{\circ}\text{C}$ ,  $D=157\text{rad/s}$ ,  $V_{\text{cc}}=5\text{V}$

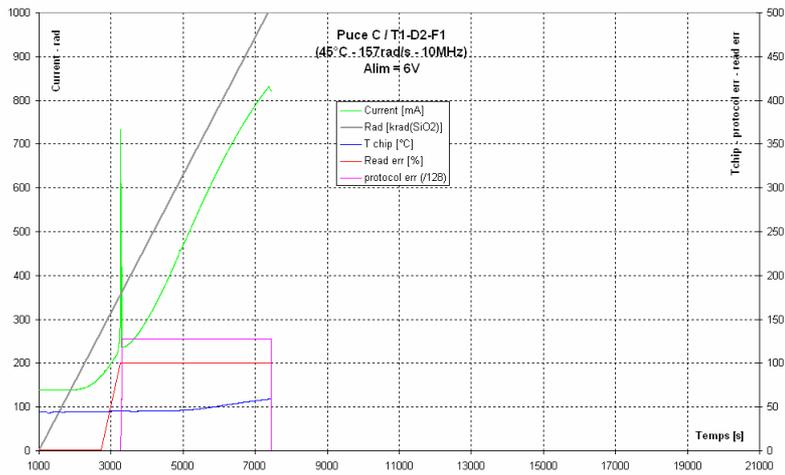


Figure VII-17 : Test de  $V_{pump}$ .  $T=45^{\circ}\text{C}$ ,  $D=157\text{rad/s}$ ,  $V_{cc}=6\text{V}$

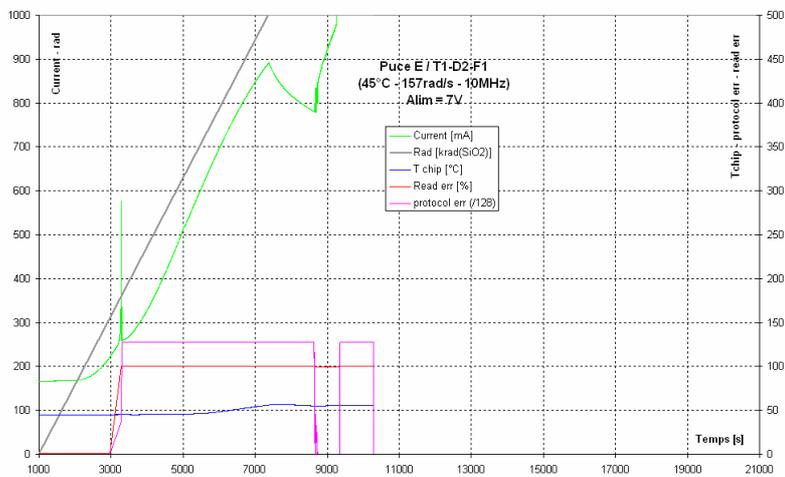


Figure VII-18 : Test de  $V_{pump}$ .  $T=45^{\circ}\text{C}$ ,  $D=157\text{rad/s}$ ,  $V_{cc}=7\text{V}$

Le Tableau VII-7 nous donne le temps de la panne fonctionnelle en partant du début de l'irradiation (colonne Temps) et en partant du temps où le courant s'est élevé de 10% (colonne Delta t).

CI	$V_{cc}$	panne fonctionnelle	
		Temps	Delta t (i0+10%)
2	5V	2172	747
C	6V	2270	803
E	7V	2287	753

Tableau VII-7 : Comparaison des temps de panne fonctionnelle en fonction de la tension d'alimentation  $V_{cc}$ .

Sur les 3 tests, il est impossible de mettre en évidence une différence en fonction de la tension d'alimentation appliquée, à cause de l'incertitude sur les temps qui peut atteindre plusieurs centaines de secondes.

Par exemple, un autre CI testé quelques temps après, dans les mêmes conditions que le CI 2, a tenu plus de 2600 secondes avant la panne fonctionnelle.

## VII.G.2. Mode opératoire dynamique

Les tests statiques n'ont donc pas donné de résultats probants. Ceci peut être dû aux différences de conception des FPGA ou aux conditions d'irradiations pas tout à fait identiques. C'est pourquoi j'ai tenté l'expérience de changer la tension d'alimentation sur un seul CI et sur un seul test.

Celui-ci consiste à augmenter la tension un peu avant les erreurs fonctionnelles. Quand la montée du courant est devenue importante, j'ai fait passer la tension d'alimentation de 5V à 6V (Figure VII-19).

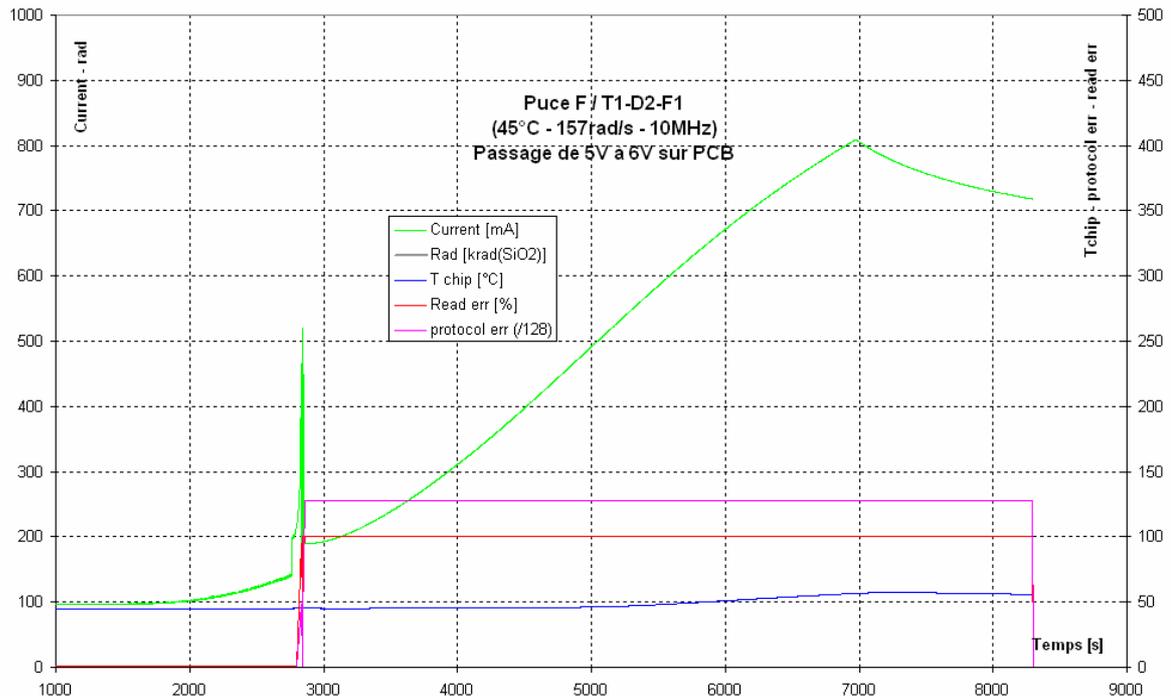


Figure VII-19 : Passage de la tension d'alimentation de 5V à 6V pour tester V<sub>pump</sub>

Ce « choc » n'a visiblement pas aidé le CI à tenir plus longtemps. Le pic de courant s'est produit juste après la hausse de tension. En regardant la courbe en détail, la transition semble même avoir favorisé l'apparition du pic.

Le test dynamique n'a donc pas non plus permis de mettre en évidence l'influence de V<sub>pump</sub> dans la tenue aux radiations.

Dans ce chapitre, j'ai décrit les tests sous irradiation X des circuits FPGA en fonction de la température des CI, du débit de dose d'irradiation et de la fréquence de fonctionnement. Pour une fréquence de 10 MHz, j'ai calculé l'équation qui approxime au mieux la durée de fonctionnement des circuits dans l'espace défini par les plans d'expérience. Le débit de dose est le facteur qui a le plus d'effet sur le comportement des circuits, mais en extrapolant à des débits de plus en plus faibles, la température reprend de l'importance. L'équation, qui ne prend en compte que l'effet de dose, prédit une durée de fonctionnement des circuits de 44 ans au débit de dose moyen du LHC, déterminé à partir des simulations sous le logiciel FLUKA du chapitre IV.

Je n'ai pas pu confirmer la relation entre la diminution de la tension V<sub>pump</sub> dans l'apparition du pic de courant et de la panne fonctionnelle des FPGA.



## CHAPITRE VIII

### TESTS SOUS PROTONS DES CI VERSION FPGA 8

---

## Résumé du CHAPITRE VIII :

*Les tests sous faisceaux de protons se sont déroulés en un shift de 8 heures à l'institut Paul Scherrer (PSI) à Villigen en Suisse. La méthodologie des tests reste la même que celle élaborée pour les rayons X pour la version FPGA8. Le faisceau est constitué de protons ayant une énergie nominale de 63MeV ( $\sigma = 1,5\text{MeV}$ ). Il présente un profil transversal carré de  $4 \times 4\text{cm}^2$  centré sur le circuit FPGA.*

*L'acquisition de la température, du courant, ainsi que la comptabilisation des erreurs sont surveillées dans une salle de contrôle séparée de la salle d'irradiation. Une connexion Ethernet assure le transfert des données entre les deux salles, et le programme LabVIEW de FPGA8 permet le suivi des opérations, l'analyse et l'enregistrement des données en temps réel.*

*J'ai utilisé trois méthodes différentes pour estimer la dose effectivement déposée dans la partie silicium du FPGA. La première consiste en un calcul de la dose à partir de la courbe expérimentale donnant le transfert d'énergie linéique sur la trajectoire de pénétration d'un proton dans le silicium. La seconde méthode est basée sur des simulations. J'ai utilisé le simulateur GEANT4 qui consiste en une plateforme permettant de modéliser l'ensemble du dispositif expérimental et de simuler les processus physiques de l'interaction du rayonnement avec la matière. La troisième méthode est basée sur le logiciel de calcul rapide SRIM qui comprend la formule de Bethe-Bloch donnant la perte d'énergie d'une particule chargée ( $-dE/dx$ ) dans la matière.*

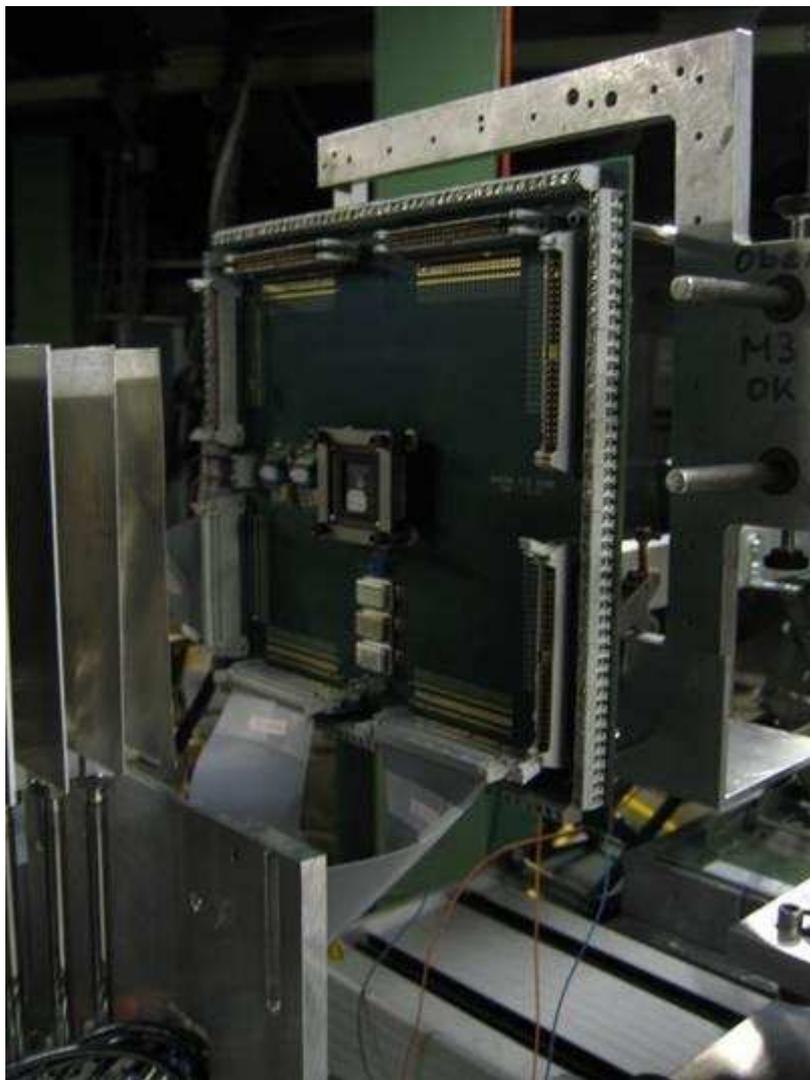
*Enfin, j'ai effectué une mesure expérimentale avec des films dosimétriques de type « radiochromics » intercalés entre des plaques de silicium et exposés au même faisceau de protons. Cette mesure me permet de valider les calculs précédents, d'estimer la dose déposée dans le FPGA, et de mesurer son profil transversal.*

*Le comportement du circuit en fonction de la dose déposée et de la température a été étudié. Les résultats préliminaires indiquent que pour le même débit de dose [Gray/seconde], la panne fonctionnelle du circuit FPGA survient après un temps huit fois plus court avec les protons qu'avec les rayons X.*

## VIII.A. Dispositif expérimental

Les tests avec les protons se sont déroulés à Villigen en Suisse alémanique, dans le hall PIF (Proton Irradiation Facility) à l'Institut Paul Scherrer (PSI).

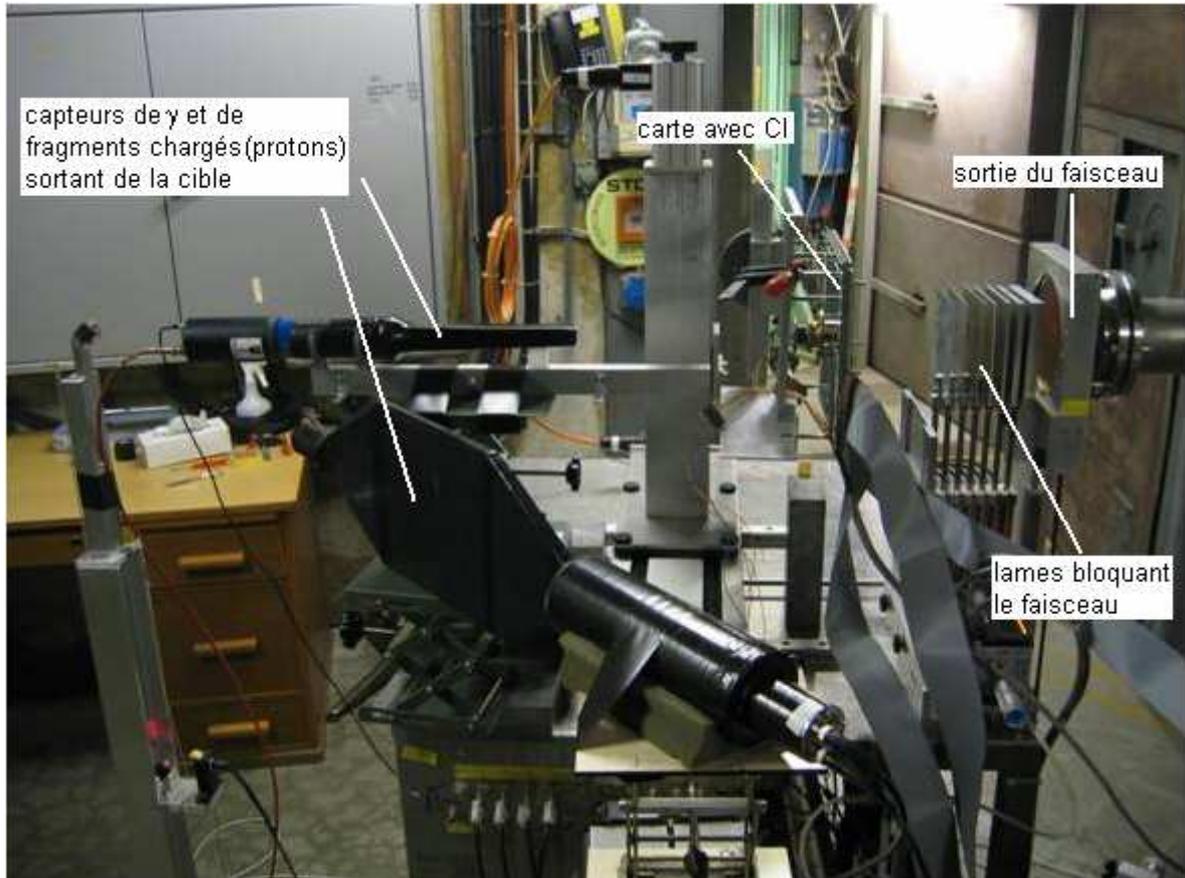
Le dispositif expérimental est le même que celui précédemment utilisé avec les rayons X pour la version FPGA8. Il est décrit dans le CHAPITRE VII. La Figure VIII-1 montre la carte électronique montée verticalement sur son support, avec le FPGA placé en son centre. Celui-ci est disposé de manière à recevoir le faisceau de protons de 63 MeV perpendiculairement à la surface du circuit FPGA. Sur le bas de la photo, on remarque les nappes utilisées pour la lecture et l'écriture des données numériques dans les registres ainsi que les 4 fils du capteur de température incorporé dans le système de chauffage du FPGA.



**Figure VIII-1 : Carte électronique et CI en position d'irradiation sous faisceau**

Sur la gauche, on peut observer les lames d'aluminium servant à réduire l'énergie du faisceau ou le bloquer entièrement. Pour une énergie nominale de 63 MeV, les lames sont entièrement retirées.

La Figure VIII-2 montre l'ensemble du dispositif expérimental dans la salle d'irradiation. On reconnaît sur la droite les nappes qui viennent se connecter sur la carte électronique. Le faisceau de protons a une énergie nominale 63 MeV, avec une dispersion gaussienne de 1,5 MeV. Nous avons sélectionné un collimateur afin d'obtenir pour le faisceau une forme transversale carrée de 4\*4 cm<sup>2</sup>, sur laquelle le flux de protons de 4.10<sup>8</sup> p.cm<sup>-2</sup>.s<sup>-1</sup> reste homogène.



**Figure VIII-2 : Vue d'ensemble du banc de test. Le faisceau arrive par la droite**

Sur la gauche de la photo, deux détecteurs ont été disposés à l'arrière de la cible :

- le premier, placé sur la trajectoire du faisceau, est un compteur des rayons  $\gamma$  sortant du FPGA. Il consiste en un cristal de BGO dont la lumière est lue par un photomultiplicateur.
- Le deuxième est un scintillateur permettant de compter le nombre de particules chargées (principalement des protons) produites dans le FPGA cible. Il présente une surface la plus grande possible pour augmenter la section utile de collection de ces particules. Comme pour le compteur de rayons  $\gamma$ , la lumière émise par le scintillateur est récupérée et convertie en signal électrique par un photomultiplicateur.

Ces deux compteurs nous permettent de mesurer la multiplicité des particules (photons et protons) produites dans la cible, qui servira par la suite de paramètre de contrôle de prédiction des simulations GEANT4.

Comme déjà décrit au paragraphe V.B, la carte électronique dispose d'un support amovible grâce auquel les FPGA peuvent être remplacés facilement. Entre 2 irradiations de FPGA, des cibles constituées de lames de carbone et de silicium sont installées à la place de la carte électronique. Entre les lames sont disposés en sandwich des films dosimétriques permettant de mesurer les profils 2D de dose à des profondeurs bien précises dans la matière. L'épaisseur totale de la matière est choisie de sorte à arrêter complètement les protons incidents. L'endroit où les protons déposent le plus d'énergie, situé en fin de parcours, est appelé pic de Bragg. Ce pic de dépôt d'énergie est donc contenu dans nos cibles mais pas dans les circuits FPGA.

Les figures VIII-3 et VIII-4 montrent la salle de contrôle, située au dessus de la salle d'irradiation, et l'ambiance qui y règne. Un câble Ethernet de 30 mètres assure le transfert des données entre les deux salles, et le programme LabVIEW de FPGA8, que l'on voit sur la Figure VIII-3 (gauche), permet le suivi des opérations, l'analyse et l'enregistrement des données en temps réel.



Figure VIII-3 : Station de contrôle un étage au dessus de la salle d'irradiation.



**Figure VIII-4 : L'équipe de choc à 3h du matin, après 7h de run sans café.  
Mes deux Co-thésards Charlotte Ricol et Rémi Rosset-Lanchet.**

Un autre écran dans la salle de contrôle, à gauche sur la Figure VIII-5, permet de connaître en temps réel toutes les caractéristiques du faisceau. Ces caractéristiques ne sont qu'indicatives et il est nécessaire de téléphoner à la salle de contrôle de la ligne d'irradiation pour les modifier.



**Figure VIII-5 : Ecran reportant les données du faisceau en temps réel.**

Pour chaque circuit FPGA, la durée moyenne d'irradiation est de 21 minutes selon les variations du flux incident de protons. En moyenne chaque circuit testé à subi une fluence d'environ  $5.10^{11}$  p.cm<sup>-2</sup>.

La chambre d'ionisation, déjà pré-étalonnée et installée à la sortie du faisceau, indique un débit de dose moyen de 0.53 Gy/s pendant nos tests. La dose totale cumulée est donc d'environ 660 Gy (équivalent silicium). Cette dose correspond à la dose totale intégrée dans un bloc de silicium correspondant à un circuit intégré d'épaisseur égale à 500  $\mu$ m. Le faisceau de protons de 63 MeV ne cède qu'une petite fraction de leur énergie dans le FPGA. La dose accumulée donc plus faible que celle véhiculée par le faisceau, d'autant plus que le pic de Bragg ne se produit pas dans le circuit. Afin de modéliser correctement le comportement des FPGA soumis aux irradiations, il est indispensable de vérifier l'indication de la chambre d'ionisation par des méthodes indépendantes.

## VIII.B. Calcul de la dose effective.

Pour déterminer la dose déposée dans le circuit par le passage des protons, j'ai utilisé 3 méthodes : un calcul direct qui nécessite la connaissance expérimentale de la perte d'énergie d'un proton dans le silicium, une simulation avec la plateforme logicielle GEANT4 [38] et un calcul avec le logiciel rapide appelé SRIM [39]. J'ai ensuite comparé les résultats de ces méthodes avec l'interprétation des films dosimétriques irradiés. L'épaisseur de notre CI, qui a été mesurée grâce à la coupe transversale détaillée au paragraphe VIII.B.3, est précisément de 500  $\mu\text{m}$ . C'est l'épaisseur typique des 'wafers' présents actuellement sur le marché.

### VIII.B.1. Calcul direct

Si on se réfère à la lecture des tables expérimentales du dépôt d'énergie dans du silicium par un proton en fonction de son énergie [34], un proton d'énergie 63 MeV dépose à très peu près 2 MeV par mm, soit 1 MeV dans le circuit, ce qui nous laisse loin du pic de Bragg. Le proton ne cédant qu'une petite fraction ( $\sim 1\%$ ) de son énergie au silicium, nous pouvons considérer le transfert d'énergie linéique (TEL) constant sur toute l'épaisseur du circuit ( $< 1\text{ mm}$ ).

Dans l'hypothèse d'un TEL constant, on a  $E_p = 1.10^6 \times 1,6.10^{-19} = 1,6.10^{-12}\text{ J}$  déposée par proton dans la masse du circuit.

La densité du Si est  $\rho_{\text{Si}} = 2,3.10^{-3}\text{ kg.cm}^{-3}$ , sa surface est  $S_{\text{CI}} = 42\text{ mm}^2$  et son épaisseur  $e = 0,5\text{ mm}$ , ce qui donne une masse de silicium :

$$m_{\text{CI}} = \rho_{\text{Si}} \times S_{\text{CI}} \times e = 4,83 \times 10^{-5}\text{ Kg.}$$

L'énergie libérée par les protons dans le CI divisée par la masse du CI est égal au KERMA, qui doit être voisin de la dose effective. Ce calcul est donc une valeur indicative de la dose, dont le débit pour un flux moyen  $f = 4.10^8\text{ protons/(cm}^2.\text{s)}$  est :

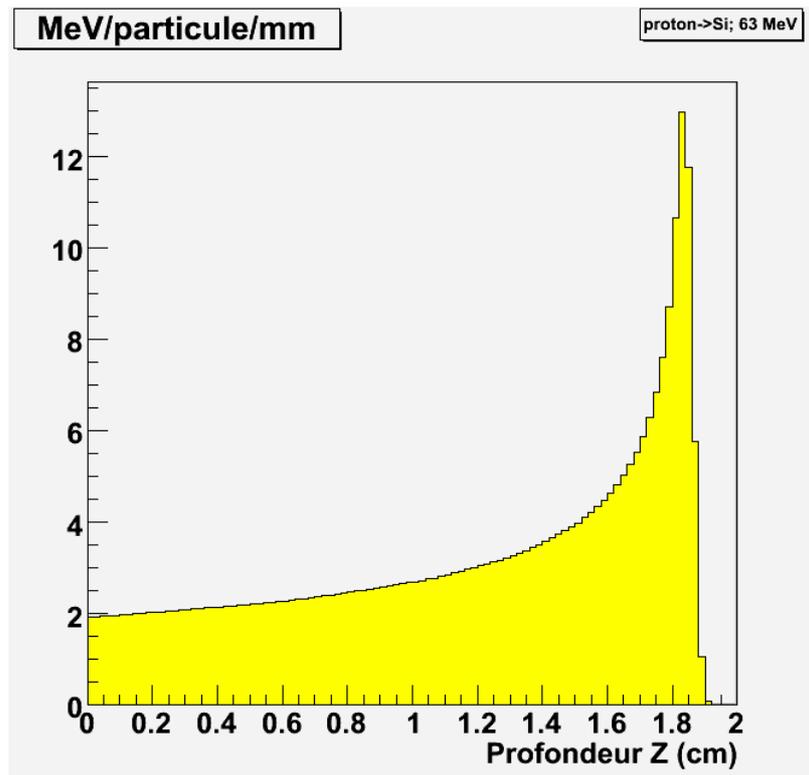
$$D = \frac{E_p \times f \times S_{\text{CI}}}{m_{\text{CI}}} = \frac{1,6.10^{-12} \times 4.10^8 \times 0,42}{4,83.10^{-5}} = 0,56\text{ Gy.s}^{-1}$$

Néanmoins, on constate que la valeur obtenue est cohérente à 5,7% près de la valeur indiquée par la chambre d'ionisation faisant partie de l'installation PIF.

### VIII.B.2. Simulation sur GEANT4

Le simulateur GEANT4 consiste en une plateforme permettant de modéliser l'ensemble du dispositif expérimental et de simuler les processus physiques de l'interaction du rayonnement avec la matière [38].

La Figure VIII-6 montre le résultat d'une simulation GEANT4 de l'énergie déposée par un proton de 63 MeV en fonction de sa profondeur de pénétration dans du silicium ( $-dE/dx$ ). Dans cette simulation, les interactions coulombiennes et les interactions nucléaires sont prises en compte. On observe bien que, dès son entrée dans la matière, le proton dépose  $\sim 2\text{ MeV/mm}$ , puis il communique de plus en plus de son énergie, et finit par s'arrêter au bout de 19 mm en atteignant son TEL maximum au pic de Bragg.



**Figure VIII-6 : Simulation par GEANT4 de l'énergie déposée par un proton de 63 MeV sur 2cm de silicium**

Le TEL calculé par GEANT4 sur le premier millimètre corrobore la valeur obtenue précédemment.

Nous considérons maintenant un volume de silicium équivalent à celui du circuit soit  $6 \times 7 \times 0,5 \text{ mm}^3$ . Sur l'épaisseur de 0,5 mm de silicium, GEANT4 calcule une dose déposée de  $\sim 3,15 \cdot 10^{-9}$  Gy par particule, comme montré sur la Figure VIII-7.

La surface du circuit étant de  $0,42 \text{ cm}^2$ , le proton dépose une dose de  $3,15 \cdot 10^{-9} \cdot 0,42 = 1,323 \cdot 10^{-9}$  Gy. Avec le flux de protons de  $4 \cdot 10^8 / (\text{cm}^2 \cdot \text{s})$ , le débit de dose se calcule par  $1,323 \cdot 10^{-9} \cdot 4 \cdot 10^8 = 0,53 \text{ Gy/s}$ .

Ce résultat est compatible avec le débit de dose déterminé par le calcul direct.

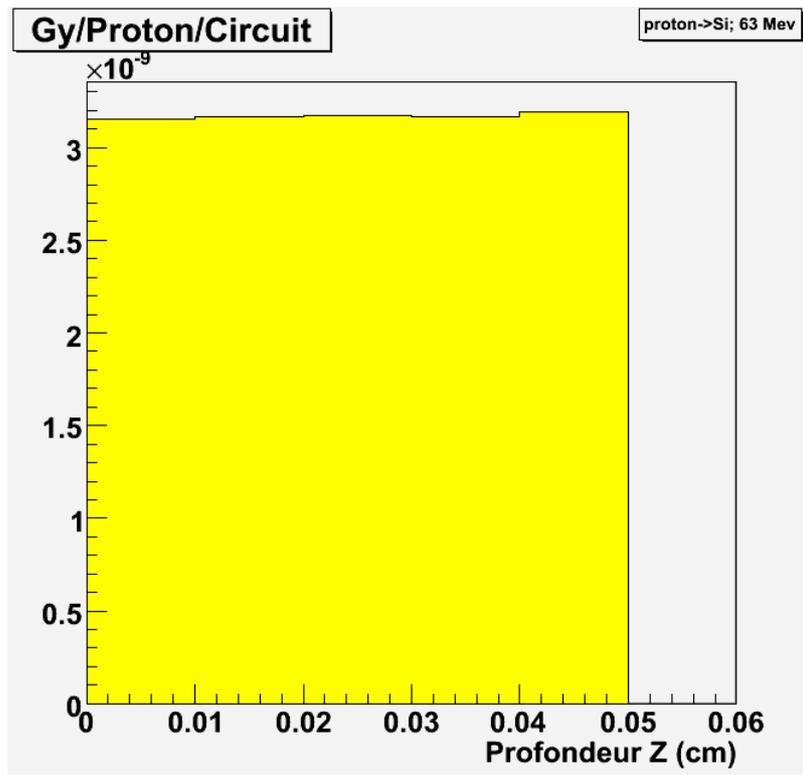


Figure VIII-7 : Dose déposée par un proton dans les 500µm de silicium du FPGA

### VIII.B.3. Estimation avec SRIM

SRIM est un logiciel de calcul rapide qui utilise la formule de Bethe-Bloch donnant la perte d'énergie d'une particule chargée ( $-dE/dx$ ) dans la matière [39]. Il suffit de préciser la nature des particules incidentes (proton), leur énergie (63 MeV) et la nature et l'épaisseur du matériau cible (silicium). Le logiciel calcul alors l'énergie cédée par unité de longueur dans le silicium. Le résultat du calcul est représenté sur la Figure VIII-8.

Il est concordant, du moins sur le premier millimètre qui nous intéresse, aux résultats obtenus avec GEANT4. Ce résultat donne également 1 MeV d'énergie déposée par proton dans le FPGA, la différence entre GEANT4 et SRIM est inférieure à 1 %.

Nous adoptons donc le logiciel SRIM pour essayer de raffiner le calcul du dépôt de dose en y précisant, au mieux, la constitution de notre circuit. Afin de connaître précisément l'épaisseur du silicium mais aussi les différents éléments qui l'entourent, pour réaliser le calcul du dépôt d'énergie des protons le plus proche possible de la réalité, nous avons découpé un FPGA pour observer le profil du circuit. Le résultat est donné sur la Figure VIII-9.

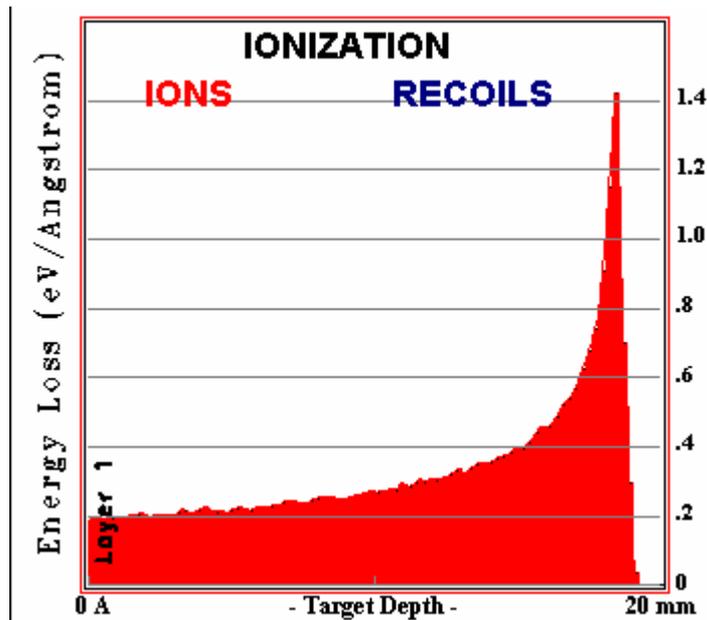


Figure VIII-8 : Energie déposée par un proton de 63MeV sur 20 mm de Si par SRIM

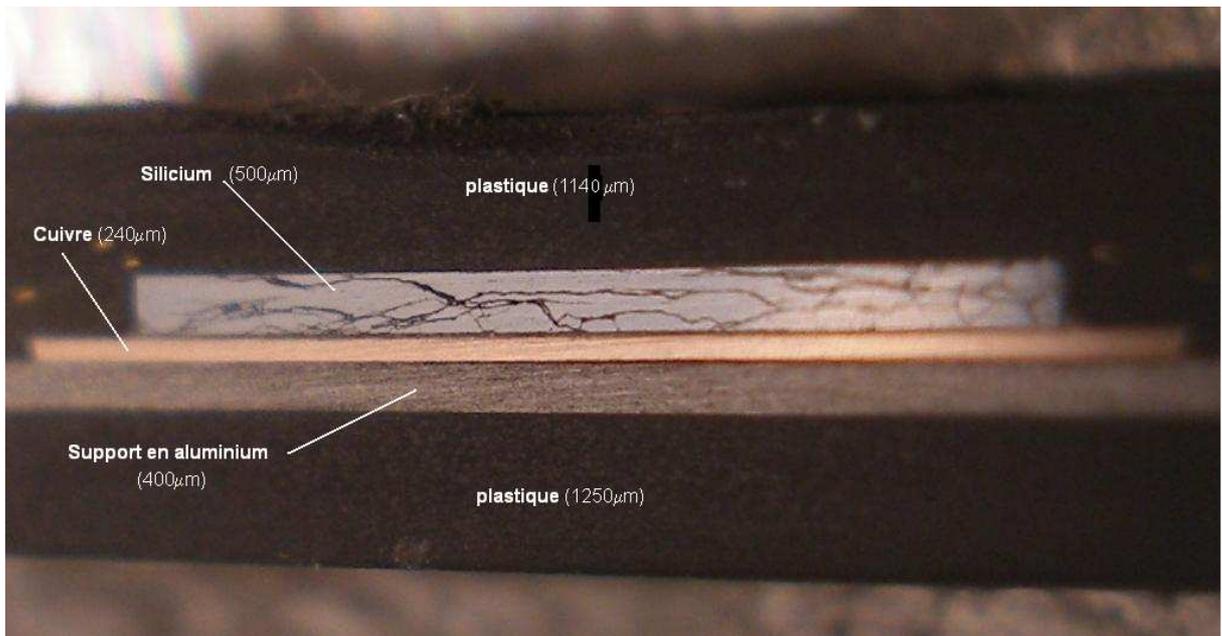


Figure VIII-9 : Coupe transversale du FPGA, avec la description des ses couches

Trois couches de matériaux différents sont empilées de haut en bas dans le boîtier plastique. Au sommet, nous avons le silicium, dont l'épaisseur a été évaluée à 500 µm, fixé par une colle thermique sur une plaque de cuivre, qui repose elle-même sur un support en aluminium, assurant la solidité mécanique de l'ensemble moulé dans le plastique.

Nous avons rentré ces différentes couches dans SRIM, avec les épaisseurs présentées sur la Figure VIII-9. Le résultat du calcul est présenté sur la Figure VIII-10. Elle montre la perte d'énergie des protons en fonction de la profondeur dans les différentes couches qu'ils traversent.

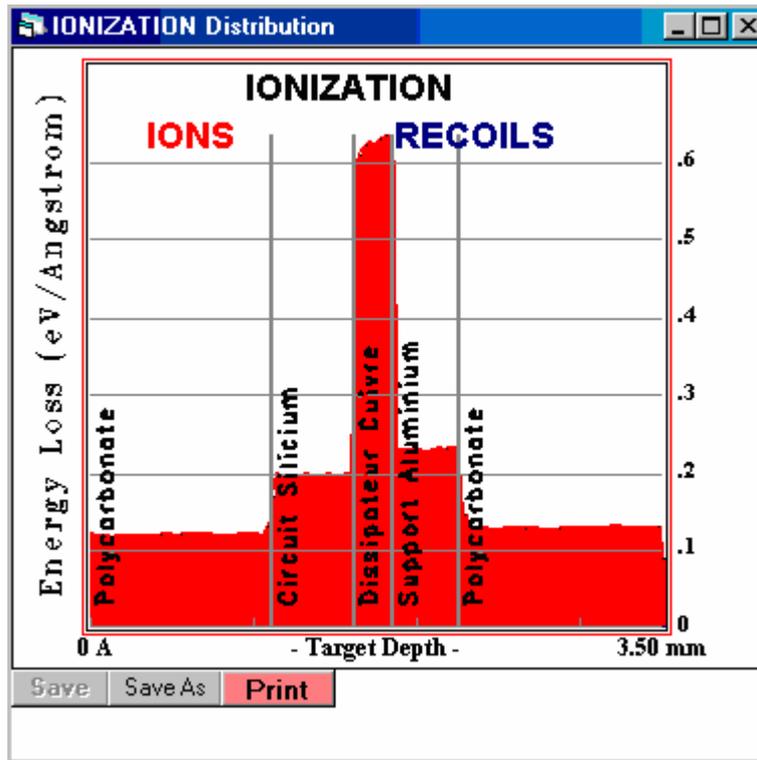
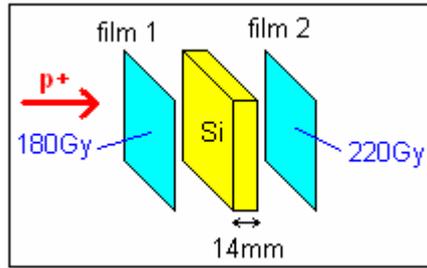


Figure VIII-10 : Energie déposée dans les différentes couches du FPGA

Le faisceau traverse 1,14 mm de polycarbonate en y déposant 1,36 MeV par proton avant d'atteindre le silicium. Les protons atteignent le cuivre en ayant déposé 1 MeV par proton dans silicium. Nous pouvons calculer l'énergie moyenne d'un proton à la sortie du FPGA : dans le cuivre, il dépose 6 MeV par mm sur 240  $\mu\text{m}$  soit 1,5 MeV, ensuite il cède 2,3 MeV par mm sur les 400  $\mu\text{m}$  d'aluminium soit 1 MeV, et enfin 1,3 MeV par mm dans 1250  $\mu\text{m}$  de polycarbonate soit 1,6 MeV. Au total, le proton de 63 MeV qui rentre perpendiculairement au FPGA en ressort avec une énergie moyenne de 56,6 MeV et une dispersion angulaire de l'ordre de 5°. On constate que même en incorporant dans le logiciel de calcul les différentes couches du circuit, l'énergie déposée dans le circuit reste effectivement la même, à 1% près, que les estimations précédentes.

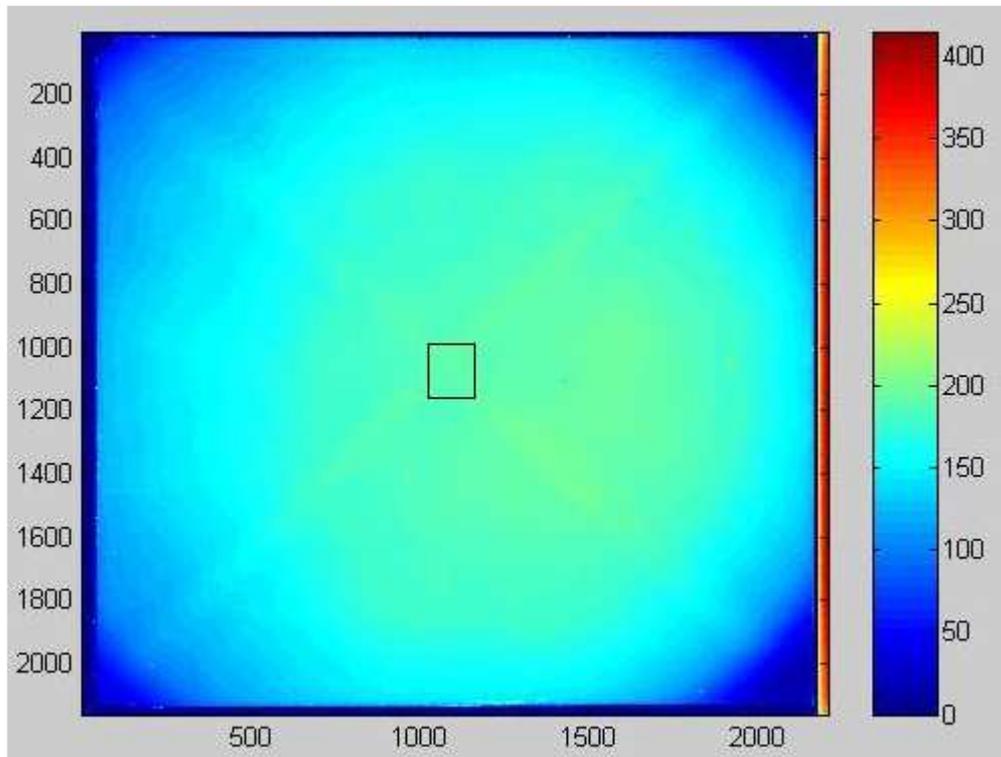
#### VIII.B.4. Interprétation des films dosimétriques

On utilise les profils de dose obtenus grâce au développement des 4 films dosimétriques placés sur la trajectoire du faisceau, alternativement avec des plaques de silicium. Ces plaques de silicium mesurant 14 mm d'épaisseur, déjà bien plus que mon circuit, je ne m'intéresse qu'aux deux premiers films : le premier est placé avant tout le reste sur la trajectoire du faisceau de 63 MeV, et le deuxième est placé après une plaque de silicium d'épaisseur 14 mm, comme représenté sur la Figure VIII-11.



**Figure VIII-11 : Schéma du montage avec les films dosimétriques**

Les films ont été lus par un scanner dont les constantes d'étalonnage ont également été obtenues sur un faisceau proton. La Figure VIII-12 et la Figure VIII-13 représentent le développement des films 1 et 2 correspondant aux profils transversaux du faisceau utilisé. L'échelle de dose déposée est représentée sur la colonne de droite en fonction de la couleur. On peut distinguer une forme X (croix) sur le film, elle représente l'image de la chambre d'ionisation placée sur la trajectoire du faisceau. Il est important de remarquer que le rectangle noir du centre de la figure, représentant la position du circuit FPGA, est uniformément irradié.



**Figure VIII-12 : Profil de la dose déposée dans le 1<sup>er</sup> film**

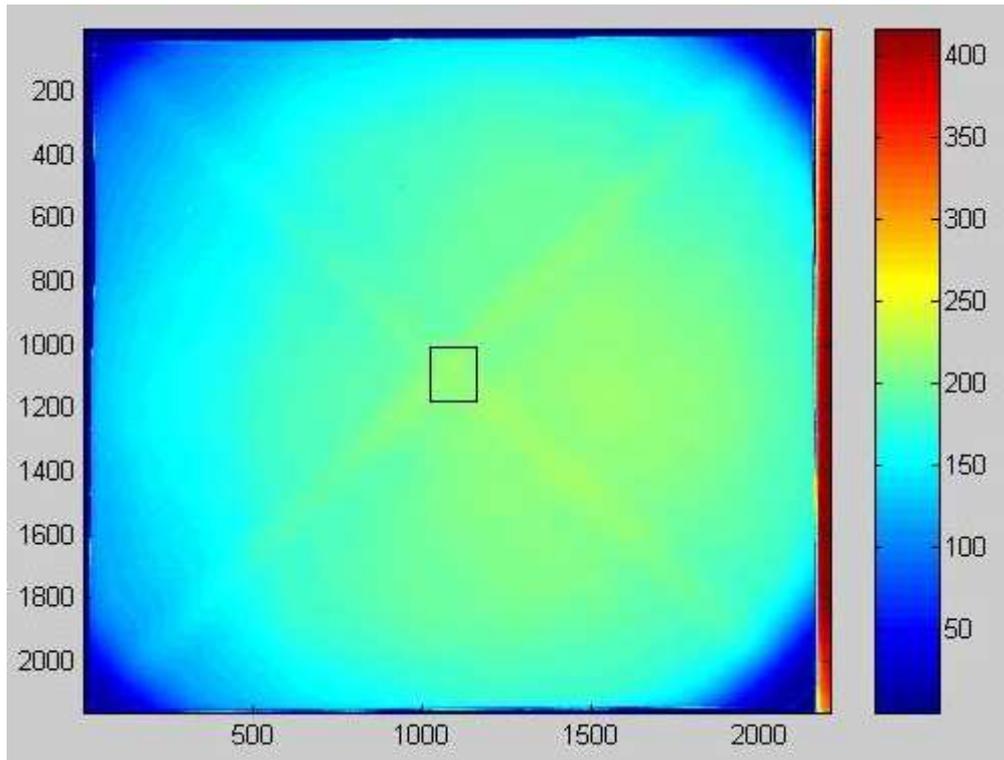


Figure VIII-13 : Profil de la dose déposée dans le 2<sup>ème</sup> film

J'ai évalué la dose déposée dans le rectangle du premier film à 123 Gy et celle du deuxième à 211Gy. Le pouvoir de déposition d'énergie par les protons dans un film a donc été accru d'un facteur 1,71 ( $=211/123$ ) après la traversée des 14mm de silicium. Dans ce cas, les protons de 63 MeV qui déposent 2MeV par mm à l'entrée du silicium déposent à la sortie de la plaque de 14mm  $2 \times 1,71 = 3,43$  MeV par mm de silicium, avec l'approximation (justifiée par la courbe) d'un accroissement linéaire du dépôt d'énergie dans les 14 premiers mm de Silicium. Cette valeur est à comparer aux 3,5 MeV par mm calculés avec SRIM. On trouve alors par la mesure la dose attendue par la simulation, du moins tant qu'on n'est pas encore au pic de Bragg.

### VIII.C. Résultats

Étant donné les résultats obtenus dans les paragraphes précédents, nous adoptons le résultat de mesure donnée par la chambre d'ionisation pour représenter le débit de dose. L'incertitude sur ce débit, estimée en comparant les différentes méthodes, reste de l'ordre de 5%. Ce qui est bien suffisant pour l'étude que nous menons.

La Figure VIII-14 donne les résultats pour l'un des circuits FPGA.

Le circuit FPGA a été maintenu tout le temps du test à la température de 70°C représentée par la courbe bleue  $T_{\text{chip}}$ . La courbe « Rad », dont les valeurs sont représentées sur l'axe de gauche, représente l'évolution linéaire de la dose absorbée par le circuit de silicium, et se stabilise à 663 Gy à la fin de l'irradiation. Le comportement du FPGA irradié avec des protons est très similaire au comportement avec des rayons X. Le courant de consommation « Current » en vert augmente de façon relativement exponentielle et forme un pic, accompagné de la panne fonctionnelle du circuit. Celle-ci est caractérisée par la courbe des erreurs de lecture « Read err », qui passent instantanément de 0% à 100%, lisible sur l'axe de droite. Il

faut attendre un moment après la fin de l'irradiation pour voir les erreurs de lecture retomber à 0. Les erreurs de protocole « protocol err » sont les erreurs de communication entre LabVIEW et le FPGA qui sont testées pour chacune des 128 positions mémoire du FPGA. Les 128 erreurs apparaissent complètement lors du pic de courant et de la panne fonctionnelle. Elles ne rediminuent qu'un moment après la fin de l'irradiation, et lorsqu'elles atteignent 0, les erreurs de lecture disparaissent instantanément.

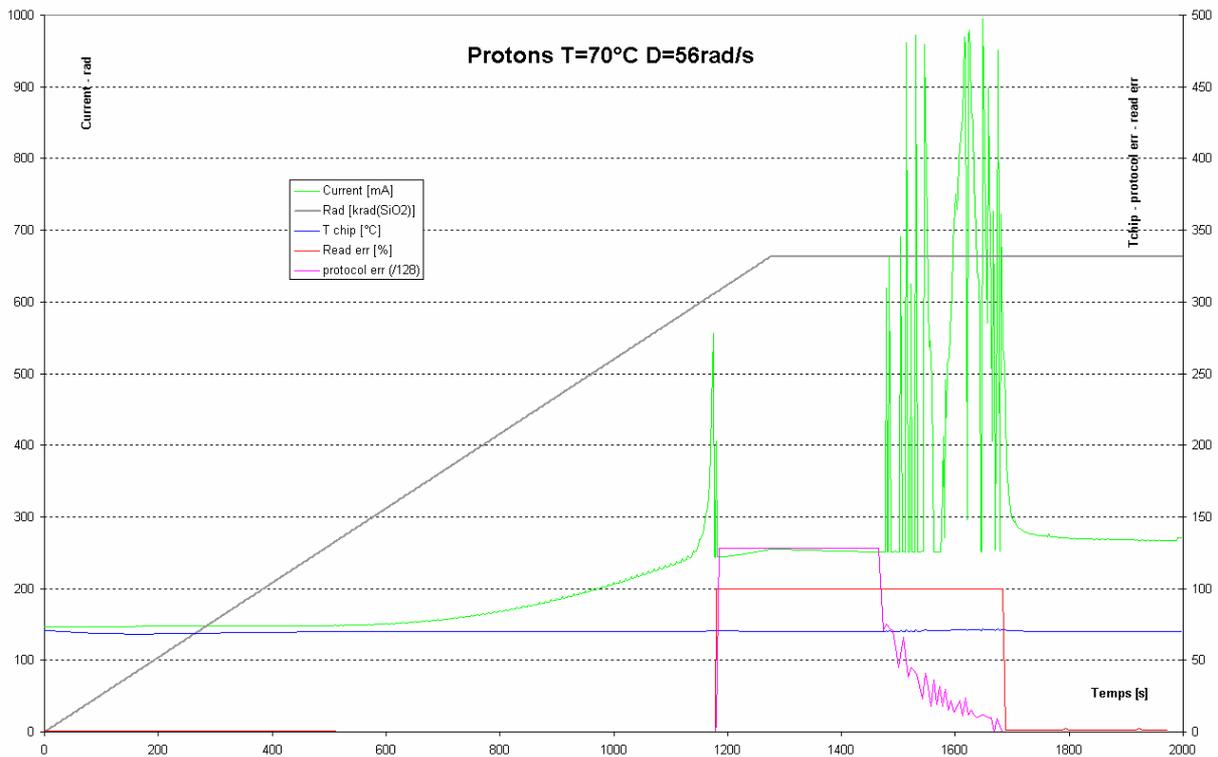


Figure VIII-14 : Résultats des tests de protons

Sous un débit de dose de 56 rad par seconde correspondant à un flux de  $4.10^8$  proton/( $cm^2.s$ ), le FPGA a tenu 1180 secondes avant la panne fonctionnelle, et pas un seul SEU n'a été détecté parmi les 15 registres fonctionnant à 10MHz. La section efficace d'un bit mémoire peut être majorée par :

$$\sigma = \frac{Nb \text{ err/sec}}{F} < \frac{1}{15 \times 10^7} \times \frac{1}{4.10^8} = 1,7.10^{-17} \text{ err.cm}^2.$$

La panne fonctionnelle n'est que temporaire car les erreurs de protocoles et de lecture disparaissent 7 minutes après la fin de l'irradiation. Le circuit fonctionne à nouveau correctement, bien qu'avec un courant presque 2 fois plus élevé que le courant de départ.

A partir des résultats des tests d'irradiation avec les rayons X décrits dans le chapitre VII, j'ai proposé une équation permettant d'extrapoler les effets de la dose intégrée par les FPGA dans le tunnel du LHC. Cette équation exprime le temps de fonctionnement d'un circuit FPGA,  $t_f$  (heures), en fonction du débit de dose qu'il reçoit, D (rad/s), et de sa température de fonctionnement, T (°C) :

$$t_f^{RX} = a_1.T + \frac{1}{a_2.D^{a_3}} = -2,34.10^{-3} \times T + \frac{1}{7,895.10^{-3} \times D^{0,9459}}$$

En extrapolant ce modèle avec un circuit fonctionnant à une température de 70°C, et avec un débit de dose de  $2,06.10^{-4} \text{ rad.s}^{-1}$ , les FPGA devraient avoir une durée de vie d'environ 44 ans avant la panne fonctionnelle. Cette équation peut être utilisée pour caractériser l'effet du débit de dose induit par des rayons X.

Cependant, les radiations dans le LHC seront des particules massives qui font des dégâts supplémentaires par rapport aux photons. De plus, ce sont elles qui induisent les erreurs que l'on appelle les événements singuliers. C'est pour ces deux raisons que j'ai aussi mené des tests sous un faisceau de protons à l'Institut Paul Scherrer (PSI) à Villigen en Suisse.

Il en ressort que le temps de tenue d'un circuit FPGA à 70°C avec un faisceau de protons d'énergie nominale 63MeV déposant une dose de 56 rad par seconde, est de  $t_f^{p+} = 1180 \text{ sec}$ .

En reprenant le modèle obtenu à partir des rayons X, ce temps devrait être  $t_f^{RX} = -2,34.10^{-3} \times 70 + \frac{1}{7,895.10^{-3} \times 56^{0,9459}} = 2,65h = 9534 \text{ sec}$ , soit 8

fois plus long. Les protons font ainsi parvenir la panne fonctionnelle 8 fois plus vite que les rayons X. En considérant ce rapport indépendant de la température ou du débit de dose, il est possible d'extrapoler la durée de fonctionnement des FPGA dans le tunnel du LHC en fonction de la dose déposée par les particules environnantes.

La dose totale attendue sur le châssis soumis au plus de particules radiatives a été évaluée à 1,3 kGy. Cette dose s'étale sur une durée de 20 ans et correspond donc à un flux moyen de  $2,06.10^{-4} \text{ rad/s}$ . Le temps de fonctionnement de ce circuit peut être évalué par la formule :

$$t_{LHC} = \frac{t_f^{RX}}{8} = \frac{1}{8} \left[ -2,34.10^{-3} \times 70 + \frac{1}{7,895.10^{-3} \times (2,06.10^{-4})^{0,9459}} \right] = 48559h$$

ce qui correspond à un fonctionnement de **5 ans** ½.

Sur la base de ce modèle, il serait intéressant de prévoir le remplacement des circuits concernés tous les 5 ans.



## CHAPITRE IX

### CONCLUSION

---

L'électronique numérique d'aujourd'hui est composée, tout comme les FPGA d'Actel que j'ai étudiés, de transistors de technologie CMOS qui se comportent comme des commutateurs commandables électriquement par deux niveaux de tensions logiques (0V/5V). Le passage d'une particule peut ioniser suffisamment les substrats de silicium pour que la collection de charges qui en résulte inverse le niveau logique d'un transistor. La modification du niveau logique du drain d'un transistor MOS peut conduire à la modification d'un bit mémoire dans les FPGA et ainsi à une erreur de lecture des données en sortie.

Afin de quantifier ces erreurs, et en guise d'introduction, j'ai présenté un modèle de bascule D que j'ai élaboré sous LabVIEW. Ce modèle est limité par le fait que je n'ai pas pu disposer des détails de construction du FPGA que j'utilise, et ne peut donc pas être comparé directement aux résultats de mes expériences. Cependant, j'ai fait en sorte que le principe de la création d'un modèle repose sur l'assemblage des composants de base de la logique numérique que sont les NMOS et PMOS, auxquels j'ai adjoint la possibilité de provoquer une erreur grâce à un booléen. Il est ainsi possible de réutiliser mes programmes pour assembler n'importe quelle architecture basée sur ces transistors MOS. De plus, les détails de construction et la géométrie d'un transistor, qu'il est nécessaire de prendre en compte pour un circuit réel, sont des paramètres qui jouent sur la probabilité que le niveau logique de sortie de ce transistor soit modifié. Si la sensibilité de chaque transistor peut être évaluée par un constructeur, il suffit d'appliquer sur son booléen une probabilité d'erreur adaptée, et ainsi quantifier le plus précisément possible les types d'erreurs attendus.

Par la suite, je suis rentré plus dans les détails des effets des radiations sur les composants semi-conducteurs. Le mécanisme le plus important est l'ionisation de la matière constituant les transistors, due à l'énergie déposée par interaction coulombienne lors du passage d'une particule. Cette ionisation est à la base de deux effets distincts :

- l'effet de dose qui se produit dans les isolants en dioxyde de silicium ( $\text{SiO}_2$ ), servant à isoler la grille d'un transistor de son substrat mais aussi à isoler les transistors les uns des autres. L'ionisation dans les isolants provoque le piégeage des charges positives, qui possèdent une mobilité bien inférieure à celle des électrons. Ces charges induisent des champs électriques qui parasitent le fonctionnement normal des transistors. Dans le cas de l'oxyde de grille, les tensions de seuil de conduction d'un transistor sont modifiées : les NMOS deviennent de plus en plus passants et les PMOS de plus en plus bloquants. Cet effet de dose est l'intégration de l'énergie déposée dans les isolants, exprimée en joules par kg, et grandit au fur et à mesure de l'irradiation, menant à la panne fonctionnelle du circuit.
- les événements singuliers, dus aux charges qui ne sont pas créées dans les isolants. Ces charges peuvent être séparées par les champs électriques de grille d'un transistor par exemple, et être collectées par son drain, modifiant son état logique. Cet événement, nommé SEU (Single Event Upset), est le plus couramment observé et correspond à celui que j'ai modélisé dans le programme décrit plus haut.

Il ne s'agit que d'un des différents types d'événements singuliers, qui peuvent aussi conduire à la destruction pure et simple d'un transistor en provoquant des décharges électriques.

J'ai ensuite mis en relation ces deux effets avec l'environnement radiatif du tunnel du LHC. L'accélérateur du LHC est constitué d'un tunnel en cercle de 27 km de périmètre sur lequel sont placés 4 détecteurs en différents points. L'environnement radiatif du tunnel sera provoqué par 2 phénomènes distincts :

- Le premier a lieu sur les 27 km du trajet des faisceaux de protons dans les tubes sous vide. Les particules résiduelles dans ces tubes rentreront en collision avec certains des protons accélérés, modifiant ainsi la trajectoire du proton. Si les champs magnétiques des aimants supraconducteurs sont insuffisants pour ramener le proton dans la trajectoire du tube, celui-ci va provoquer des gerbes de particules dès qu'il interagira avec de la matière. Ce phénomène va induire un environnement radioactif dans tout le LHC.
- Le deuxième phénomène est plus violent mais aussi plus localisé ; il s'agit des collisions des paquets de protons dans les détecteurs. Seuls 4 points sur les 27 km seront touchés par ces radiations supplémentaires, qui se répercuteront de part et d'autres sur une certaine distance dans le tunnel.

J'ai mis en avant les zones les plus radioactives du tunnel dans lesquelles seront installées les cartes électroniques utilisant les FPGA d'Actel que j'ai testés, grâce à des simulations réalisées par le logiciel FLUKA. Il s'agit d'un simulateur qui calcule les flux et énergies des particules présentes et la dose qu'elles induisent en fonction des différentes interactions nucléaires provoquées par les faisceaux de protons.

J'ai commencé par rechercher les différentes positions des châssis sous-dipôles afin de déterminer celui ou ceux qui intègreraient le plus de dose et subiraient la plus importante douche de particules. La zone la plus radioactive où se trouvent les châssis d'électronique a été donnée autour d'un des 4 points, celui du détecteur CMS, précisément dans les « Dispersion Suppressor ». La dose maximale intégrée est de 1,3 kGy soit 130 krad, et la fluence d'hadrons s'élève à près de  $10^{14}$  /cm<sup>2</sup> sur les vingt années de fonctionnement du LHC apportant un débit de dose moyen de  $2,06 \cdot 10^{-4}$  rad/s.

Pour connaître expérimentalement les effets de dose sur les FPGA d'Actel en fonction de la température de fonctionnement et du débit de dose, j'ai mené des tests avec des rayons X d'énergie 10 keV au CERN. L'irradiation a été réalisée sur des circuits en fonctionnement contenant des registres à décalage, et maintenus à une température fixe. Pour être capable de maintenir la température d'un circuit, j'ai conçu un banc de chauffage pour lequel j'ai utilisé un plan d'expérience pour calculer le plus précisément possible la température du circuit en fonction de 2 facteurs : le courant de consommation du FPGA et la puissance fournie à la cartouche chauffante placée sous le FPGA. J'ai développé, sous le logiciel LabVIEW, un programme permettant de contrôler la boucle de régulation de la température du circuit. En parallèle, ce programme gère la communication avec le FPGA et les opérations de lecture/écriture dans les registres à décalage, ainsi que la sauvegarde des données. Ces sauvegardes sont réalisées en temps réel dans des fichiers texte en cas de plantage de tout le système, puis automatiquement dans des fichiers Excel à la fin de chaque expérience. J'ai moi-même créé les 38 fonctions pour Excel et je les ai rassemblés dans une bibliothèque, avec fichier d'aide, disponible en ligne. Ce

développement était nécessaire pour relire les données (plusieurs centaines de milliers de valeurs par test) et automatiser leur traitement.

Mes données sont à faible statistique étant donné le nombre limité d'expériences réalisables. J'ai, par conséquent, décidé d'utiliser la méthode des plans d'expérience. Cette méthode permet de tenir compte des deux paramètres, température et débit de dose, pour modéliser le fonctionnement du circuit dont l'arrêt est marqué par une panne fonctionnelle soudaine accompagnée d'un pic important de courant. Les plans d'expérience consistent à choisir des valeurs extrêmes pour les différents facteurs, ici la température et le débit de dose, et à mettre en équation le comportement d'un paramètre, ici la durée de fonctionnement, dans l'espace défini par ces valeurs extrêmes.

L'extrapolation de l'équation du plan au débit de dose attendu dans le LHC ( $2,06 \cdot 10^{-4}$  rad/s) m'a permis d'évaluer une durée de vie de 44 ans pour le circuit le plus touché par les radiations, à une température de 70°C. Ce plan ne prend cependant en compte que le débit de dose déposé par des photons, tandis que les radiations dans le LHC seront composées de multitudes de particules lourdes, induisant plus de dégâts que la lumière. Afin d'être plus réaliste, je suis allé tester des FPGA avec un faisceau mono-énergétique de protons à PSI en Suisse. Pour des facteurs de température et de débit de dose équivalents à ceux des rayons X, les résultats ont mis en évidence une durée de vie 8 fois plus faible avec les protons. Ce rapport 8 est utilisé comme facteur de correction à l'équation déterminée par les tests aux rayons X, et porte la durée de vie du FPGA le plus irradié à 5 ans  $\frac{1}{2}$ .

Cette estimation rend compte de la durée de vie des circuits FPGA dans des conditions optimales. Cependant, dans le fonctionnement d'un accélérateur, il faut s'attendre à des événements plus ou moins fréquents provoquant une perte partielle, ou totale (Beam Dump), des protons accélérés. Ces événements communiquent à des circuits une dose supplémentaire qui peut être importante, et accélérer ainsi l'apparition de la panne fonctionnelle des FPGA, ou néanmoins augmenter la fréquence des erreurs. La dose qui sera réellement mesurée lors du fonctionnement du LHC peut être largement supérieure à celle attendue pour un fonctionnement

idéal de l'accélérateur. Mon modèle  $t_f^{RX} = -2,34 \cdot 10^{-3} \times T + \frac{1}{7,895 \cdot 10^{-3} \times D^{0,9459}}$

permet à ce moment là, avec la connaissance de la dose, d'établir une nouvelle durée de vie pour les circuits touchés par ces événements.

Ce résultat repose cependant sur l'hypothèse de l'invariabilité du rapport 8 entre les durées de fonctionnement des FPGA soumis aux rayons X et aux protons. Pour obtenir une bonne description du lien existant entre l'irradiation avec des rayons X, qui ne prend en compte que les effets de dose, et l'irradiation avec des particules, il est nécessaire de compléter les expériences sous protons à différents débits de dose et différentes températures.

De plus, l'étude des films dosimétrique irradiés à PSI, a mis en évidence une incertitude non négligeable sur le flux de protons atteignant le circuit. Le faisceau pourrait présenter une divergence qui réduirait ce flux de  $4 \cdot 10^8$  protons/(cm<sup>2</sup>.s) d'environ 20%. La connaissance la plus précise possible des caractéristiques du faisceau est primordiale pour diminuer les incertitudes sur les paramètres d'un modèle comportemental de circuits électroniques.

La divergence du faisceau implique la dispersion angulaire de la trajectoire des protons atteignant la cible, apportant une autre source d'erreur. L'effet de l'angle d'incidence de protons sur l'apparition de latchup a été mis en évidence dans des mémoires SRAM, particulièrement pour des températures de fonctionnement élevées [40]. A 75°C et avec un angle d'incidence de 85° par rapport à la surface du circuit, la mémoire a montré une sensibilité au latchup 16 fois supérieure au même matériel à 20°C et avec un angle d'incidence de 0°. Pour une même température de 75°C et en ne prenant en compte que la différence angulaire de 0° à 85°, le circuit reste 4 fois plus sensible au latchup à 85°. Bien que la dispersion angulaire du faisceau ne soit pas aussi importante, celle-ci rajoute une incertitude qu'il est nécessaire d'évaluer, car le dépôt de dose d'une particule dans un circuit sera d'autant plus important que l'angle d'incidence par rapport à la normale (et donc la longueur du trajet de la particule dans le silicium) est grand.

Le résultat de cette thèse permet de mettre pour la première fois le comportement d'un circuit en équation en fonction de plus d'un facteur. Les plans d'expérience sont un outil très puissant et permettront, pour une prochaine étude, de faire jouer d'autres facteurs que la température et le débit de dose afin de décrire au mieux les réactions des circuits CMOS.

Dans le but d'obtenir un plan d'expérience optimisé pour déterminer la durée de vie d'un circuit en particulier, il me semble approprié de retenir au moins 5 facteurs pouvant rentrer en compte de façon non négligeable :

- La **température**.
- Le **débit de dose**.
- Le **vieillessement** du circuit. Il s'agit en fait de l'intégration de l'effet de la température sur le circuit, qui a été mis en évidence dans [29]. Ce facteur peut aussi contenir l'information d'une irradiation précédente, d'une guérison ou d'un « stress » de température sur une certaine période, etc. Il correspond aux effets passés cumulés.
- L'**angle d'incidence** des particules radiatives est aussi important, tant par la différence des effets observés [40] que par la variété d'environnements radiatifs dans lesquels les directions des trajectoires des particules sont isotropes (dans l'espace, les accélérateurs, les centrales nucléaires, ...).
- Le **type de particules**. Ce facteur est déjà couramment utilisé pour caractériser la sensibilité des circuits aux événements singuliers. Cependant, il est tout aussi important de connaître la différence de doses intégrées auxquelles les circuits tombent en panne en fonction de ces particules.

## BIBLIOGRAPHIE

- [1] Jean-Luc Danger, Sylvain Guilley, Philippe Matherat, Yves Mathieu, Lirida Naviner, Alexis Polti, Jean Provost, **“BCI-TPSP-Electronique numérique intégrée”**, <http://comelec.enst.fr/tpsp/eni/poly/eni.pdf>, septembre 2005.
- [2] Henry Mathieu, **“Physique des semiconducteurs et des composants électroniques”**, Editions DUNOD (5<sup>ème</sup> édition), 2004.
- [3] F. Azais a, B. Caillard a, P. Nouet a and P. Salomé, **“Caractérisation et modélisation de thyristors parasites en technologie CMOS fortement submicronique”**,
- [4] V. Ferlet-Cavrois, P. Paillet, M. Gaillardin, D. Lambert, J. Baggio, J.R. Schwank, G. Vizkelethy, M.R. Shaneyfelt, K. Hirose, E.W. Blackmore, O. Faynot, C. Jahan, L. Tosti, **“Statistical Analysis of the Charge Collected in SOI and Bulk Devices Under Heavy Ion and Proton Irradiation – Implications for Digital SETs”**.
- [5] Nadim Haddad, Ron Brown, Richard Ferguson, Craig Hatfield and David Rea, **“SOI: Is it the Solution to Commercial Product SEU Sensitivity?”**, RADECS 2003. Proceedings of the 7th European Conference on 15-19 Sept. 2003. Page(s):231 – 234.
- [6] J.R. Schwank, V. Ferlet-Cavrois, M.R. Shaneyfelt, P. Paillet, P.E. Dodd, **“Radiation Effects in SOI Technologies”**, IEEE Trans. Nucl. Sci., Vol.50, n°3, june 2003.
- [7] F. Faccio, K. Kloukinas, A. Marchioro, T. Calin, J. Cosculluela, M. Nicolaidis, R. Velazco, **“Single Event Effects in Static and Dynamic Registers in a 0.25µm CMOS Technology”**.
- [8] **“SX-A Family FPGAs”**, ACTEL Datasheets, chapitre 1 “General Description”.
- [9] C. Brisset, V. Ferlet-Cavrois, O. Flament, O. Musseau, J.L. Leray, J.L. Pelloie, R. Escoffier, A. Michez, C. Cirba, G. Bordure, **“Two-Dimensional Simulation of Total Dose Effects on NMOSFET with Lateral Parasitic Transistor”**, IEEE Trans. Nucl. Sci., Vol. 43, N°6, decembre 1996.
- [10] F. Faccio, E.H. M.Heijne, P. Jarron, M. Glaser, G. Rossi, S. Avrillon, G. Borel, **“Study of device parameters for analog IC design in a 1.2µm CMOS-SOI technology after 10 Mrad”**, IEEE Trans. Nucl. Sci., Vol. 39, N°6, decembre 1992.
- [11] F. Faccio, G. Anelli, M. Campbell, M. Delmastro, P. Jarron, K. Kloukinas, A. Marchioro, P. Moreira, E. Noah, W. Snoeys, T. Calin, J. Cosculluela, R. Velazco, M. Nicolaidis, A. Giraldo, **“Total Dose and Single Event Effect (SEE) in a 0.25µm CMOS Technology”**.

- [12] Daniel M. Fleetwood, “« **Border Traps** » in **MOS Devices**”, IEEE Trans. Nucl. Sci., Vol 39 N°2, April 1992.
- [13] P.J. McWhorter, P.S. Winokur, “**Simple technique for separating the effects of interface traps and trapped-oxide charge in metal-oxide-semiconductor transistors**”, Appl. Phys. Lett, 48 (2), 13 janvier 1986.
- [14] D.M. Fleetwood, S.L. Miller, R.A. Reber, Jr., P.J. McWhorter, P.S. Winokur, M.R. Shaneyfelt, J.R. Schwank, “**New Insights into Radiation-induced oxide-trap charge through thermally-stimulated-current measurement and analysis**”, IEEE Trans. Nucl. Sci., Vol. 39, N°6, decembre 1 992.
- [15] J.J.Wang, “**Radiation Effects in FPGAs**”.
- [16] G.M. Dallavalle, A.Montanari, F.Odorici, G. Torromeo, R. Travaglini, M. Zuffa, “**Antifuse-FPGAs for the Track-Shorter-Master of the CMS Muon Barrel Drift Tubes: Design Issues and Irradiation Test**”.
- [17] F. Sturesson, S. Mattson, M. Wiktorson, R. Harboe-Sorensen, “**Impact of Test Conditions on TID Results for Commercial FPGA**”, Proceedings of the RADECS 2000 Workshop, Belgium.
- [18] J.J. Wang, Rich Katz, Rocky Koga, Brian Cronquist, John McCollum, Igor Kleyner, “**Radiation Tests and Results of a Radiation Tolerant Antifuse FPGA, RT54SX**”, Proceedings of the RADECS 2000 Workshop, Belgium, p253-256.
- [19] Abdel Mjid Nourreddine, “**Radioprotection et dosimétrie**”, Journées Scientifiques Algéro-Françaises, 29 novembre - 13 décembre 2004
- [20] Jim Schwank, “**Total Dose Effects In MOS Devices**”, 2002 IEEE NSREC, Section III, paragraphe 2.1.
- [21] Frédéric Saigné, “**Une nouvelle approche de la sélection des composants de type MOS pour l’environnement radiatif spatial**”, Thèse à l’université de Montpellier II, Chapitre 1, novembre 1998.
- [22] Jim Schwank, “**Total Dose Effects In MOS Devices**”, 2002 IEEE NSREC, Section III, paragraphe 3.2.
- [23] C.M. Dozier, D.M. Fleetwood, D.B. Brown, P.S. Winokur, “**An evaluation of low-energy X-ray and cobalt-60 irradiations of MOS transistors**”, IEEE Trans. Nucl. Sci., Vol. NS-34, No 6, p.1535, 1987.
- [24] Jim Schwank, “**Total Dose Effects In MOS Devices**”, 2002 IEEE NSREC, Section III, paragraphe 3.4.5.
- [25] Jim Schwank, “**Total Dose Effects In MOS Devices**”, 2002 IEEE NSREC, Section III, paragraphe 3.0.

- [26] S.L. Miller, P.J. McWhorter, W. M. Miller and P.V. Dressendorfer, ***“A practical predictive formalism to describe generalized activated physical processes”***, Journal of Applied Physics, 70 (8), pp. 4555-4568, 15 October 1991.
- [27] S.L. Miller, D.M. Fleetwood, P.J. McWhorter, ***“Determining the Energy Distribution of Traps in Insulating Thin Films Using the Thermally Stimulated Current Technique”***, Physical Review Letters, Volume 69, Number 5 (p. 820 à 823), 1992.
- [28] M.R. Shaneyfelt, J.R. Schwank, D.M. Fleetwood, P.S. Winokur, ***“Effects of Irradiation Temperature on MOS Radiation Response”***, IEEE Trans. Nucl. Sci., Vol.45, n°3, june 1998.
- [29] M.R. Shaneyfelt, P.S. Winokur, D.M. Fleetwood, G.L. Hash, J.R. Schwank, F.W. Sexton, R.L. Pease, ***“Impact of Aging on Radiation Hardness”***, IEEE Trans. Nucl. Sci., Vol.44, n°6, decembre 1997.
- [30] Yasushiro Nishioka, Kiyonori Ohya, Yuzuru Ohjil, Masataka Kato, Eronides F. da Silva, Jr.1, and T. P. Ma2, ***“Radiation hardened micron and submicron MOSFETs containing fluorinated oxides”***, IEEE Trans. Nucl. Sci. , Vol 36, n° 6, December 1989.
- [31] Todd Weatherford, ***“From carriers to contacts, a review of SEE charge collection processes in devices”***, 2002 IEEE NSREC, Section IV, p.3
- [32] J. Casas-Cubillos, F. Faccio, P. Gomes, M.A. Martin, M.A. Rodriguez-Ruiz, ***“SEU tests performed on the digital communication system for LHC cryogenic instrumentation”***, Nuclear Instruments and Methods in Physics Research A 485 (2002) p.439-443
- [33] V. Ferlet-Cavrois, G. Vizkelethy, P. Paillet, A. Torres, J.R. Schwank, M.R. Shaneyfelt, J. Baggio, J. du Port de Pontcharra, L. Tosti, ***“Charge Enhancement Effect in NMOS Bulk Transistors Induced by Heavy Ion Irradiation – Comparison With SOI”***, IEEE Trans. Nucl. Sci., Vol.51, n°6, december 2004.
- [34] Williamson, C.F., Boujot, J.P., Picard, J., ***“Tables of range and stopping power of chemical elements for charged particles of energy 0.5 to 500 MeV”***. Rapport CEA-R 3042, 1966.
- [35] C.Fukunaga, ***“Irradiation tests of ROHM 0.35µm ASIC and Actel Anti-fuse FPGA for the ATLAS Muon Endcap Level-1 Trigger System”***.
- [36] Thijs Wijnands, ***“Radiation monitoring for equipment in the LHC tunnel”***, functional specification, février 2005.
- [37] Claire A. Fynbo, Graham R. Stevenson, ***“Radiation environment in the Dispersion Suppressor regions of IR1 and IR5 of the LHC”***, LHC Project Note 296, 27 mai 2002.

- [38] S. Agostinelli and GEANT4 Collaboration, "**GEANT4 – A Simulation Toolkit**", Nucl. Instr. Meth. A 506 (2003) 250.
- [39] Site officiel : <http://www.srim.org/>
- [40] J.R. Schwank, M.R. Shaneyfelt, J. Baggio, P.E. Dodd, J.A. Felix, V. Ferlet-Cavrois, P. Paillet, G.K. Lum, S. Girard, E. Blackmore, "**Effects of Angle of Incidence on Proton and Neutron-Induced Single-Event Latchup**".IEEE Trans. Nucl. Sci., Vol.53, n°6, december 2006.

## GLOSSAIRE

- BULK** : Technologie MOS où le drain et la source sont en contact direct avec le substrat.
- CERN** : Organisation Européenne pour la Recherche Nucléaire
- CI** : Circuit intégré. Les FPGA sont des circuits intégrés numériques.
- CMOS** : Complementary Metal Oxide Semi-conductor. Duo de transistors NMOS et PMOS intégrés sur une même structure.
- COTS** : Commercial On-The-Shelf. Les circuits intégrés COTS sont des circuits commerciaux qui ne sont pas conçus pour tenir les radiations.
- FPGA** : « Field Programmable Gate Array ». Puce numérique programmable (technologie MOS).
- GEANT4** : Simulateur d'interaction rayonnement matière utilisé au CERN
- LATCH-UP** : Effet destructif d'une particule sur un transistor, dû à la mise en conduction d'un thyristor formé par les substrats.
- LET** : « Linear Energy Transfer ». Caractéristique d'une particule qui dépend de sa nature et de son énergie. S'exprime en  $\text{MeV.cm}^2.\text{mg}^{-1}$ . Multiplié par la densité d'un matériau (en  $\text{mg.cm}^{-3}$ ), elle restitue l'énergie déposée le long de la trajectoire de la particule dans ce matériau (en  $\text{MeV.cm}^{-1}$ ).
- LHC** : « Large Hadrons Collider ». Accélérateur de particules en construction au CERN.
- MOS** : Metal Oxide Semiconductor. Type de transistor présent dans les FPGA. Les 2 principaux sous-types sont le NMOS et le PMOS
- NMOS** : Transistor MOS dont les porteurs minoritaires sont les électrons.
- PMOS** : Transistor MOS dont les porteurs minoritaires sont les trous (absences d'électrons).
- KERMA** : Kinetic Energy Released per unit Mass. Energie cinétique déposée dans la matière par une particule.
- SEE** : « Single Event Effect ». Effet « Evénement singulier », dû au passage d'une particule sur un transistor, et provoquant son changement d'état logique. Le plus commun est le SEU.
- SEU** : « Single Event Upset ». Inversion de l'état logique d'un transistor (0→1 ou 1→0)
- SOI** : Silicon On Insulator. Amélioration de la technologie BULK des transistors MOS par l'ajout d'une couche isolante entre le substrat et les zones dopées du drain et de la source.
- SRIM** : Simulateur d'interaction rayonnement matière.
- TID** : « Total Ionizing Dose ». Dose totale d'irradiation accumulée dans une cible (FPGA par ex.), mesurée en Gray (1Gy=1Joule/kg) ou en rad (1rad=0,01Gy).



*ANNEXE 1 :*

*Code VHDL des FPGA version 4*

## FPGA 4

```
library IEEE;
use IEEE.std_logic_1164.all;

entity FPGA is
  generic(
    reg_length1 : integer:=32;
    reg_length2 : integer:=128;
    reg_length3 : integer:=892;
    io_width1   : integer:=7;
    io_width2   : integer:=7;
    io_width3   : integer:=1
  );
  port (
    clk          : in std_logic;
    reset        : in std_logic;

    inputs1      : in std_logic_vector(io_width1-1 downto 0);
    inputs2      : in std_logic_vector(io_width2-1 downto 0);
    inputs3      : in std_logic_vector(io_width3-1 downto 0);

    outputs1     : out std_logic_vector(io_width1-1 downto 0);
    outputs2     : out std_logic_vector(io_width2-1 downto 0);
    outputs3     : out std_logic_vector(io_width3-1 downto 0)
  );
end FPGA;

architecture archi of FPGA is

  component shift_register
    generic(
      reg_length:integer:=8
    );
    port (
      clk : in std_logic;
      reset : in std_logic;
      input : in std_logic;
      output: out std_logic
    );
  end component;

begin

  --process (CLK)
  -- begin
  -- if clk'event and clk='1' then
  --   inputs1_int <= inputs1;
```

```

-- end if;
--end process

width1:for j in 0 to io_width1-1 generate
  reg: shift_register
  generic map(
    reg_length => reg_length1
  )
  port map(
    clk          => clk,
    reset        => reset,
    input        => inputs1(j),
    output       => outputs1(j)
  );
end generate;

width2:for j in 0 to io_width2-1 generate
  reg: shift_register
  generic map(
    reg_length => reg_length2
  )
  port map(
    clk          => clk,
    reset        => reset,
    input        => inputs2(j),
    output       => outputs2(j)
  );
end generate;

width3:for j in 0 to io_width3-1 generate
  reg: shift_register
  generic map(
    reg_length => reg_length3
  )
  port map(
    clk          => clk,
    reset        => reset,
    input        => inputs3(j),
    output       => outputs3(j)
  );
end generate;

end archi;

```

### Registre à décalage

```

library IEEE;
use IEEE.std_logic_1164.all;

```

```

entity shift_register is
  generic(
    reg_length:integer:=16
  );
  port (
    clk  : in std_logic;
    reset : in std_logic;
    input : in std_logic;
    output: out std_logic
  );
end shift_register;

architecture archi of shift_register is

  signal x : std_logic_vector(reg_length downto 0);

begin
  x(0)  <= '0' when reset='1'
        else input;

  shift_reg: for i in 0 to reg_length-1 generate
    process (clk,reset)
      begin
        if reset='1'
          then x(i+1)<='0';
        elsif clk'event and clk='1'
          then x(i+1)<=x(i);
        end if;
      end process;
    end generate;

  output <='0' when reset='1' else x(reg_length);

end archi;

```

*ANNEXE 2 :*

*Code VHDL des FPGA version 8*

## FPGA 8

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
library Synplify;
use synplify.attributes.all;

entity FPGA8_2 is
  generic(
    reg_length : integer:=127;
    io_width   : integer:=15
  );
  port (
    clk           : in std_logic;
    reset         : in std_logic;
    inputs        : in std_logic_vector(io_width-1 downto 0);
    outputs       : out std_logic_vector(io_width-1 downto 0);
    position      : in std_logic_vector (6 downto 0);
    -- Ecriture
    OBF_AA        : in std_logic;-- Actif sur fronts descendants
    OBF_AB        : in std_logic;--
    OBF_BA        : in std_logic;--
    ACK           : out std_logic:='1';--
    -- Lecture
    STB           : out std_logic:='1';--
    IBF_CA        : in std_logic;--
    IBF_CB        : in std_logic --
  );
end FPGA8_2;

architecture archi of FPGA8_2 is
  attribute syn_radhardlevel of archi: architecture is "none";

  component sr_mux8
    generic(
      reg_length:integer:=8
    );
    port (
      clk_SR_MUX      : in std_logic;
      reset_SR_MUX    : in std_logic;
      write_SR_MUX    : in std_logic;
      read_SR_MUX     : in std_logic;
      input_SR_MUX    : in std_logic;
      output_SR_MUX   : out std_logic
    );
  end component;

  component compteur is
```

```

        port (
            clk          : in std_logic;
            reset       : in std_logic;
            counter      : inout std_logic_vector(6 downto 0):="0000000"
        );
    end component;

    type Tstate is (Sinit, Sw1, Sw2, Sw3, Sr1, Sr2, Sr3, Sr4, Sr5);
    signal state      : Tstate:=Sinit;
    signal write      : std_logic:= '0';
    signal read       : std_logic:= '0';
    signal count      : std_logic_vector(6 downto 0):="0000000";
    signal tempo      : std_logic_vector(6 downto 0):="0000000";
    signal S_ACK      : std_logic:= '1';
    signal S_STB      : std_logic:= '1';

begin

    width:for j in 0 to io_width-1 generate
        reg: sr_mux8
        generic map(
            reg_length => reg_length
        )
        port map(
            clk_SR_MUX          => clk,
            reset_SR_MUX       => reset,
            input_SR_MUX       => inputs(j),
            output_SR_MUX      => outputs(j),
            write_SR_MUX       => write,
            read_SR_MUX        => read
        );
    end generate;

    Compt: compteur
    port map(
        clk          => clk,
        reset       => reset,
        counter      => count
    );

    P: process (clk, reset) is
    begin
        if reset = '1'
        then
            S_ACK      <= '1';
            S_STB      <= '1';
            write      <= '0';
            read       <= '0';
            tempo      <= "0000000";
            -- outputs  <= (others=>'0');

```

```

state <= Sinit;
elsif rising_edge(clk) then
  case state is
    when Sinit =>
      if (OBF_BA='0') and (count=position) then
        if (OBF_AA='0') and (OBF_AB='0')
          then write <= '1';
              state <= Sw1;
          else read <= '1';
              state <= Sr1;
          end if;
        else state <= Sinit;
          end if;
    when Sw1 =>
      write <= '0';
      tempo <= count;
      state <= Sw2;
    when Sw2 =>
      if (tempo=count) then
        S_ACK <= not S_ACK;
        state <= Sw3;
      else state <= Sw2;
      end if;
    when Sw3 =>
      if (OBF_AA='1') and (OBF_AB='1') and (OBF_BA='1')
        then S_ACK <= '1';
            state <= Sinit;
        else tempo <= count;
            state <= Sw2;
        end if;
    when Sr1 =>
      read <= '0';
      tempo <= count;
      state <= Sr2;
    when Sr2 =>
      if (tempo=count) then
        S_ACK <= not S_ACK;
        state <= Sr3;
      else state <= Sr2;
      end if;
    when Sr3 =>
      if (OBF_BA='1')
        then S_ACK <= '1';
            tempo <= count;
            state <= Sr4;
        else tempo <= count;
            state <= Sr2;
        end if;
    when Sr4 =>
      if (tempo=count) then
        S_STB <= not S_STB;
        state <= Sr5;
      else state <= Sr4;
      end if;
  end case;
end if;

```

```

        end if;
    when Sr5 =>
        if (IBF_CA='1') and (IBF_CB='1')
            then S_STB    <= '1';
                state <= Sinit;
            else tempo <= count;
                state <= Sr4;
        end if;
    when others =>
        S_ACK    <= '1';
        S_STB    <= '1';
        write    <= '0';
        read     <= '0';
        state    <= Sinit;
    end case;
end if;
end process;

ACK    <= S_ACK;
STB    <= S_STB;

end archi;

```

### Registre à décalage avec multiplexeur

```

library IEEE;
use IEEE.std_logic_1164.all;
library Synplify;
use synplify.attributes.all;

entity sr_mux8 is
    generic(
        reg_length:integer:=16
    );
    port (
        clk_SR_MUX           : in std_logic;
        reset_SR_MUX        : in std_logic;
        write_SR_MUX         : in std_logic;
        read_SR_MUX         : in std_logic;
        input_SR_MUX        : in std_logic;
        output_SR_MUX       : out std_logic
    );
end sr_mux8;

architecture archi of sr_mux8 is
    attribute syn_radhardlevel of archi: architecture is "none";

    component SR8 is
        generic(

```

```

        reg_length:integer:=16
    );
    port (
        clk          : in std_logic;
        reset        : in std_logic;
        input        : in std_logic;
        output       : out std_logic
    );
end component;

component mux8 is
    port(
        reset_mux    : in std_logic;
        clk_mux      : in std_logic;
        a,b,sel      : in std_logic;
        out_mux      : out std_logic
    );
end component;

signal mux2reg : std_logic;
signal reg2mux : std_logic;
signal mux2out : std_logic;

begin

Mux_W: mux8
    port map(
        reset_mux    => reset_SR_MUX,
        clk_mux      => clk_SR_MUX,
        a            => reg2mux,
        b            => input_SR_MUX,
        sel          => write_SR_MUX,
        out_mux      => mux2reg
    );

Shifter:SR8
    generic map(
        reg_length  => reg_length
    )
    port map(
        clk         => clk_SR_MUX,
        reset       => reset_SR_MUX,
        input       => mux2reg,
        output      => reg2mux
    );

Mux_R: mux8
    port map(
        reset_mux    => reset_SR_MUX,
        clk_mux      => clk_SR_MUX,

```

```

        a            => mux2out,
        b            => reg2mux,
        sel          => read_SR_MUX,
        out_mux      => mux2out
    );

    output_SR_MUX    <= mux2out;

end archi;

```

### Registre à décalage

```

library IEEE;
use IEEE.std_logic_1164.all;
library Synplify;
use synplify.attributes.all;

entity SR8 is
    generic(
        reg_length:integer:=16
    );
    port (
        clk  : in std_logic;
        reset : in std_logic;
        input : in std_logic;
        output: out std_logic
    );
end SR8;

architecture archi of SR8 is
    attribute syn_radhardlevel of archi: architecture is "none";

    signal x : std_logic_vector(reg_length downto 0);

begin
    x(0)  <= '0' when reset='1'
           else input;

    shift_reg: for i in reg_length-1 downto 0 generate
        process (clk,reset)
        begin
            if reset='1'
                then x(i+1)<='0';
            elsif rising_edge(clk)
                then x(i+1)<=x(i);
            end if;
        end process;
    end generate;
end archi;

```

```

output <='0' when reset='1' else x(reg_length);

end archi;

```

### Multiplexeur

```

library IEEE;
use IEEE.std_logic_1164.all;
library Synplify;
use synplify.attributes.all;

entity mux8 is
  port(
    reset_mux    : in std_logic;
    clk_mux      : in std_logic;
    a,b,sel      : in std_logic;
    out_mux      : out std_logic
  );
end mux8;

architecture archi of mux8 is
  attribute syn_radhardlevel of archi: architecture is "none";

begin
  Pmux: process (reset_mux,clk_mux) is
  begin
    if reset_mux='1' then out_mux<='0';
    elsif rising_edge(clk_mux) then
      if sel = '1'
        then out_mux <= b ;
        else out_mux <= a ;
      end if;
    end if;
  end process;
end archi;

```

### Compteur

```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
library Synplify;
use synplify.attributes.all;

entity compteur is
  port (
    clk          : in std_logic;
    reset       : in std_logic;

```

```

        counter      : inout std_logic_vector(6 downto 0):="0000000"
    );
end compteur;

architecture archi of compteur is
attribute syn_radhardlevel of archi: architecture is "tmr";

begin

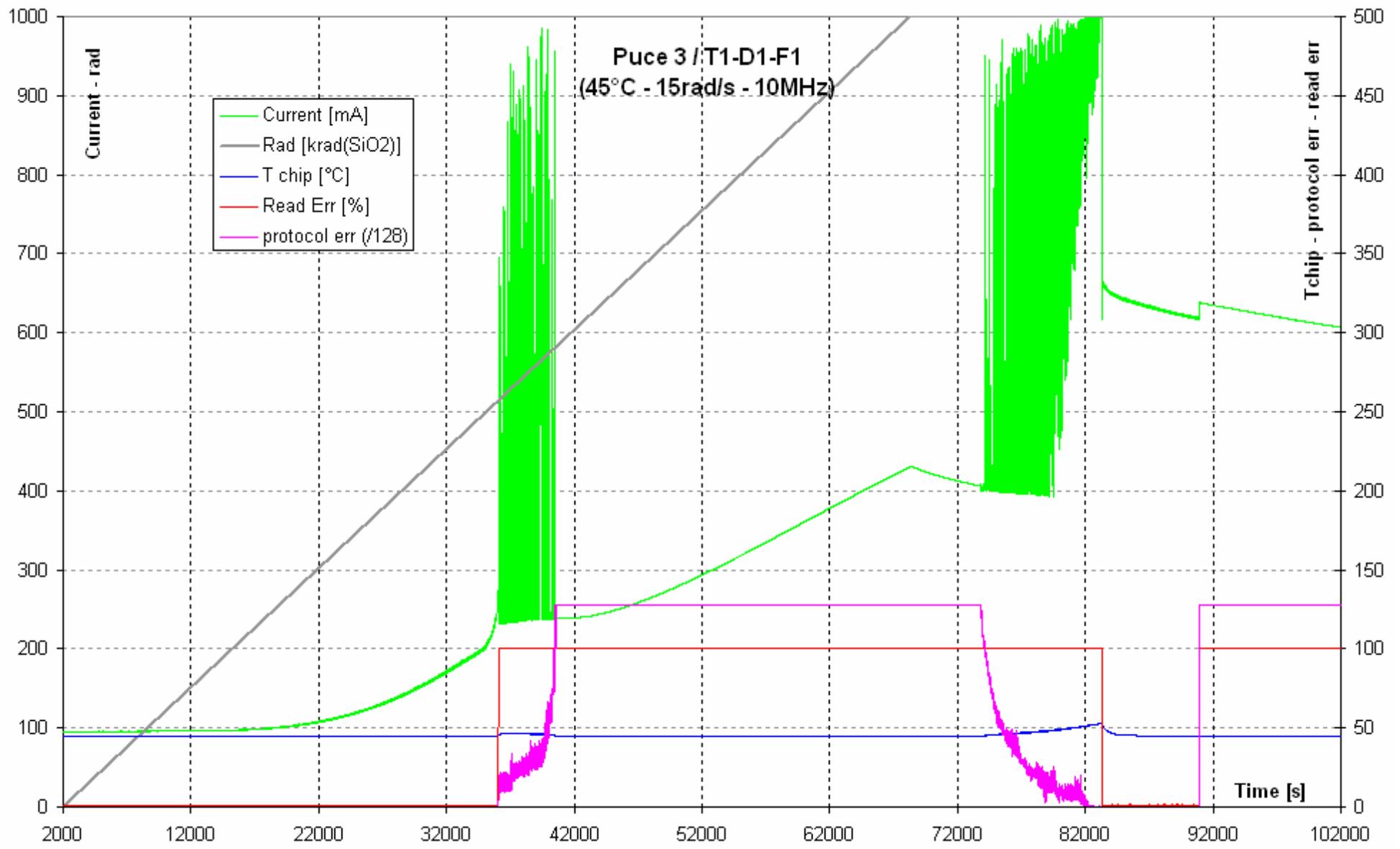
    PCounter: process (clk, reset) is
    begin
        if reset='1' then    counter      <= "0000000";
        elsif rising_edge(clk)
            then
                counter <= (counter+"1");
            end if;
        end process;
    end archi;

```

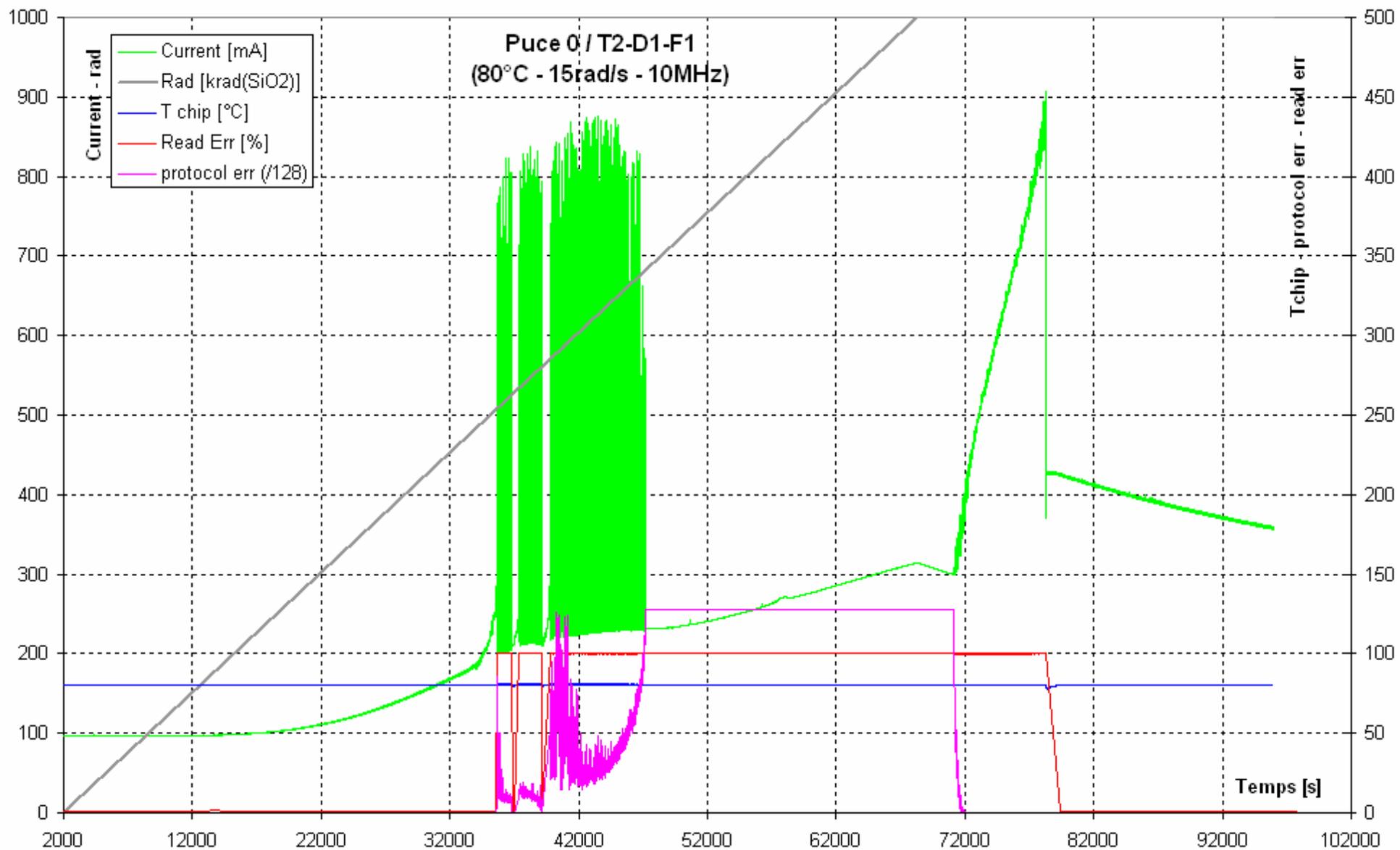


*ANNEXE 3 :*

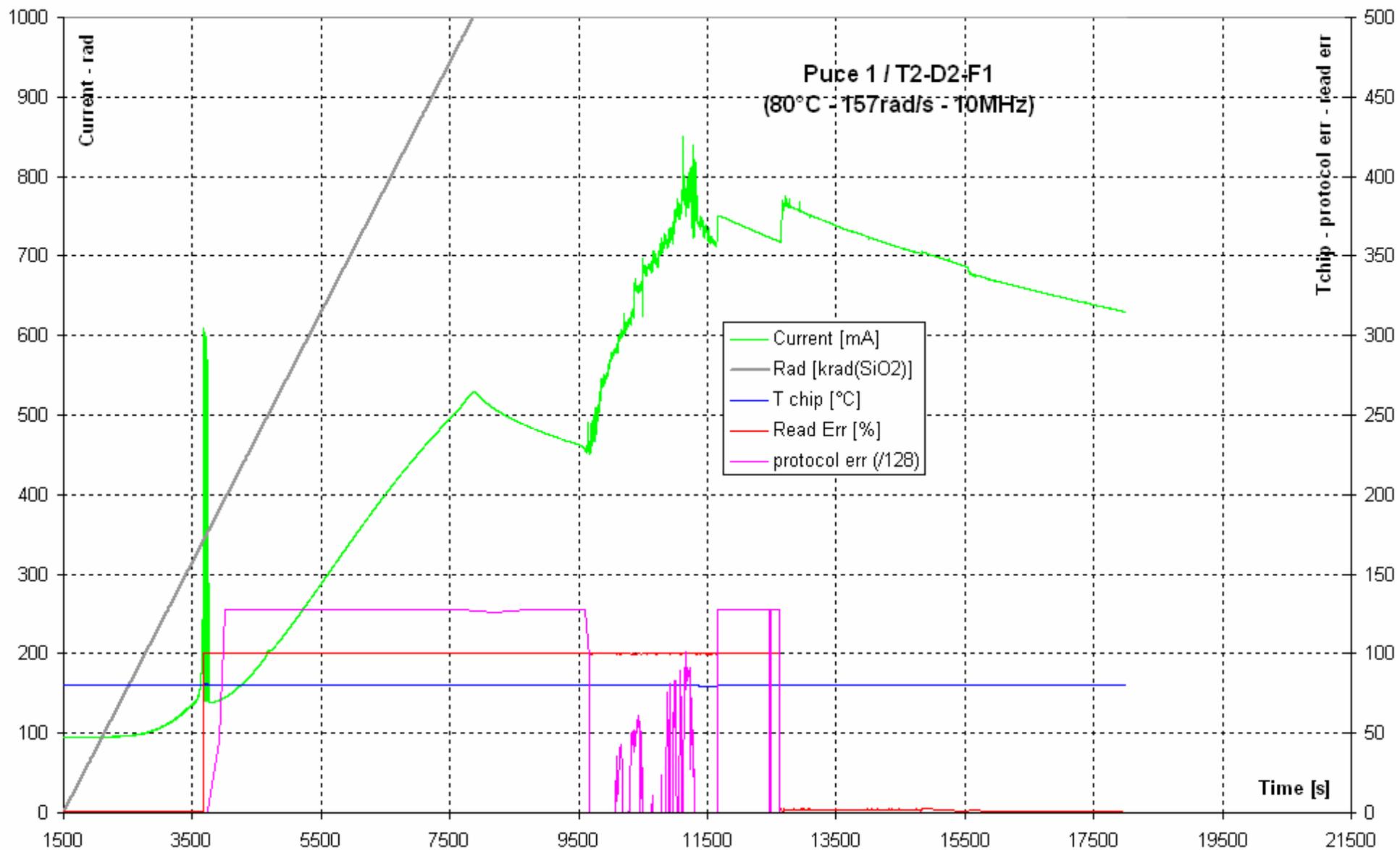
*Courbes de résultats pour les CI version FPGA 8 sous  
rayons X*



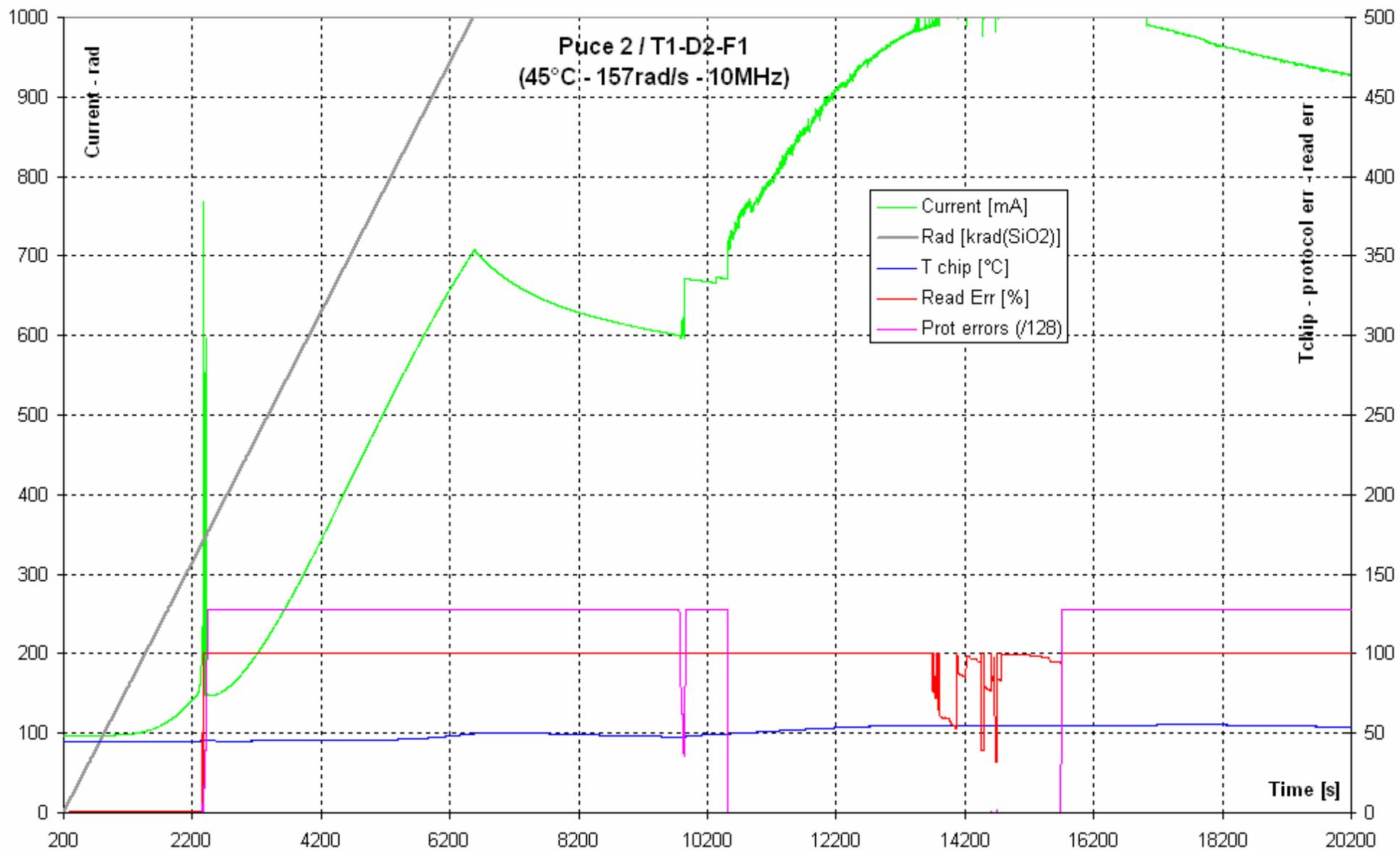
Résultat du test de FPGA 8 au point 1



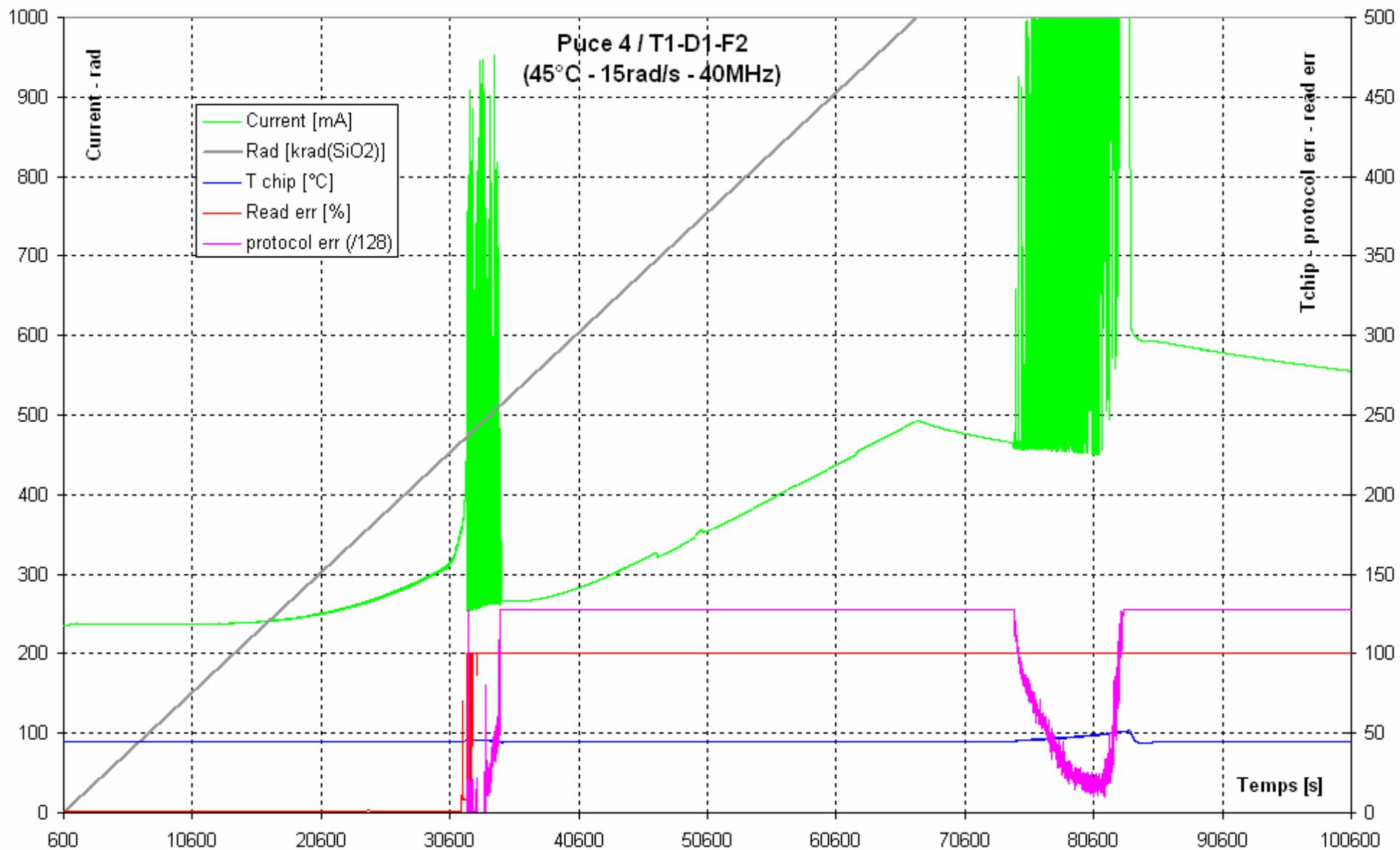
Résultat du test de FPGA 8 au point 2



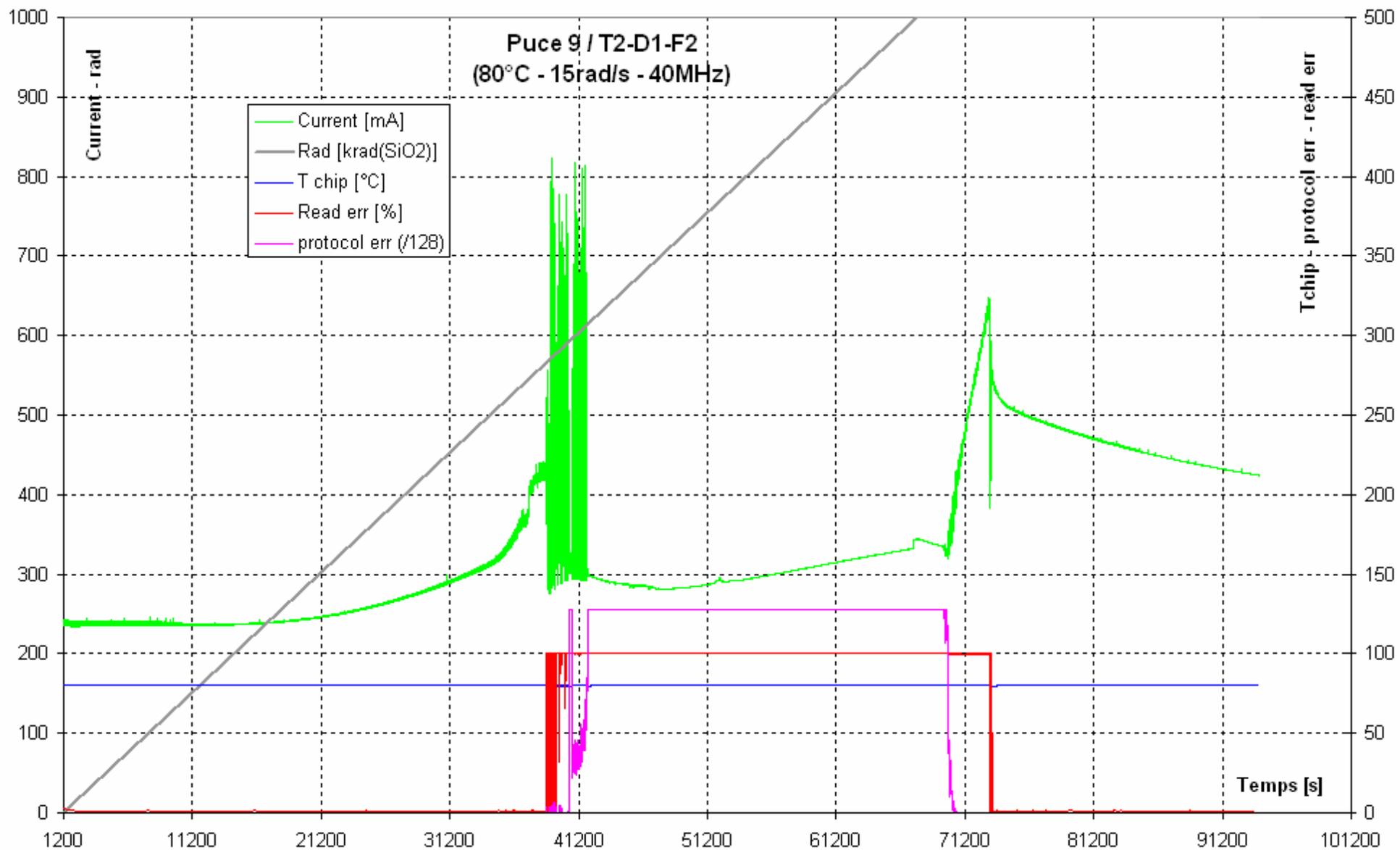
Résultat du test de FPGA 8 au point 3



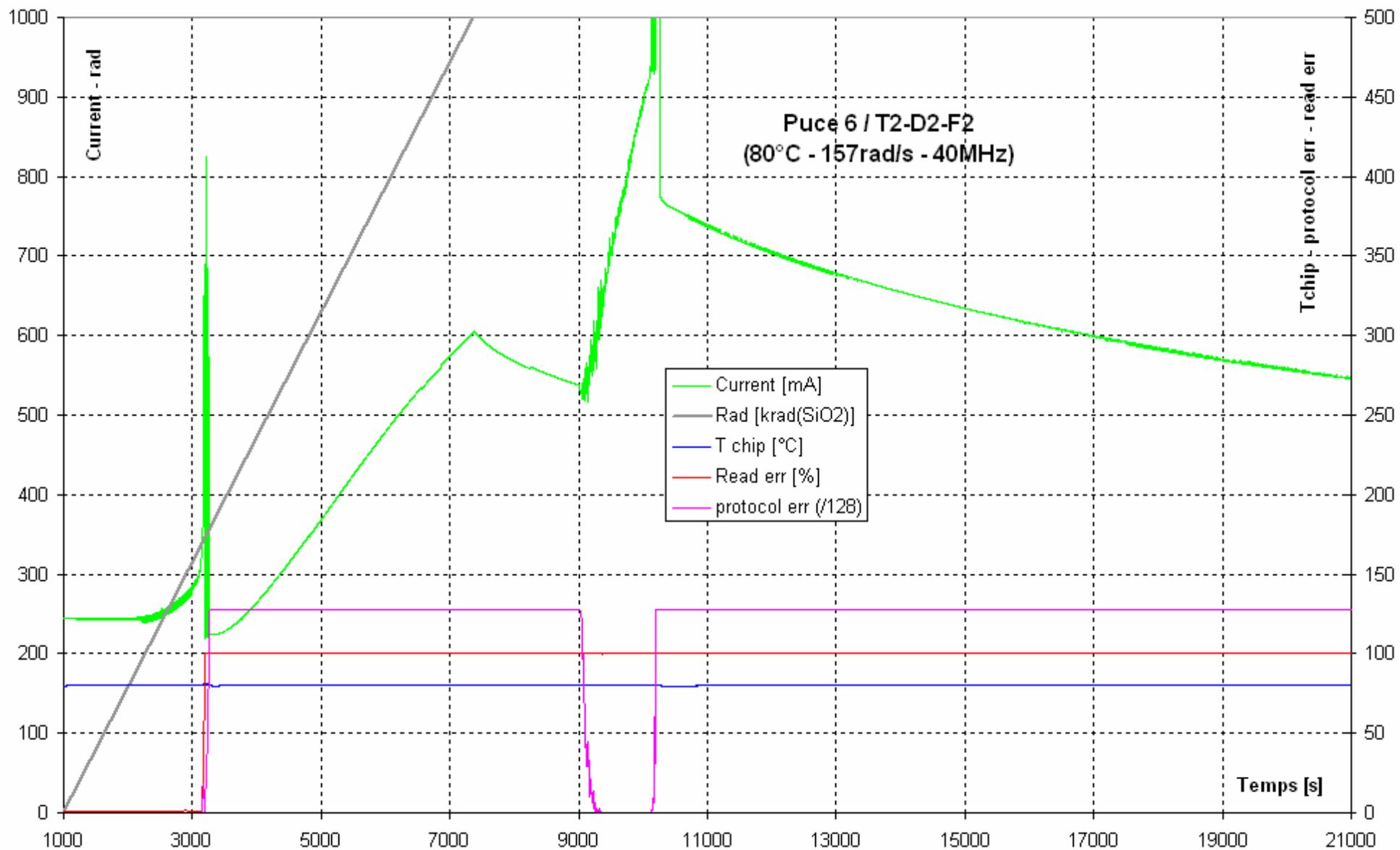
Résultat du test de FPGA 8 au point 4



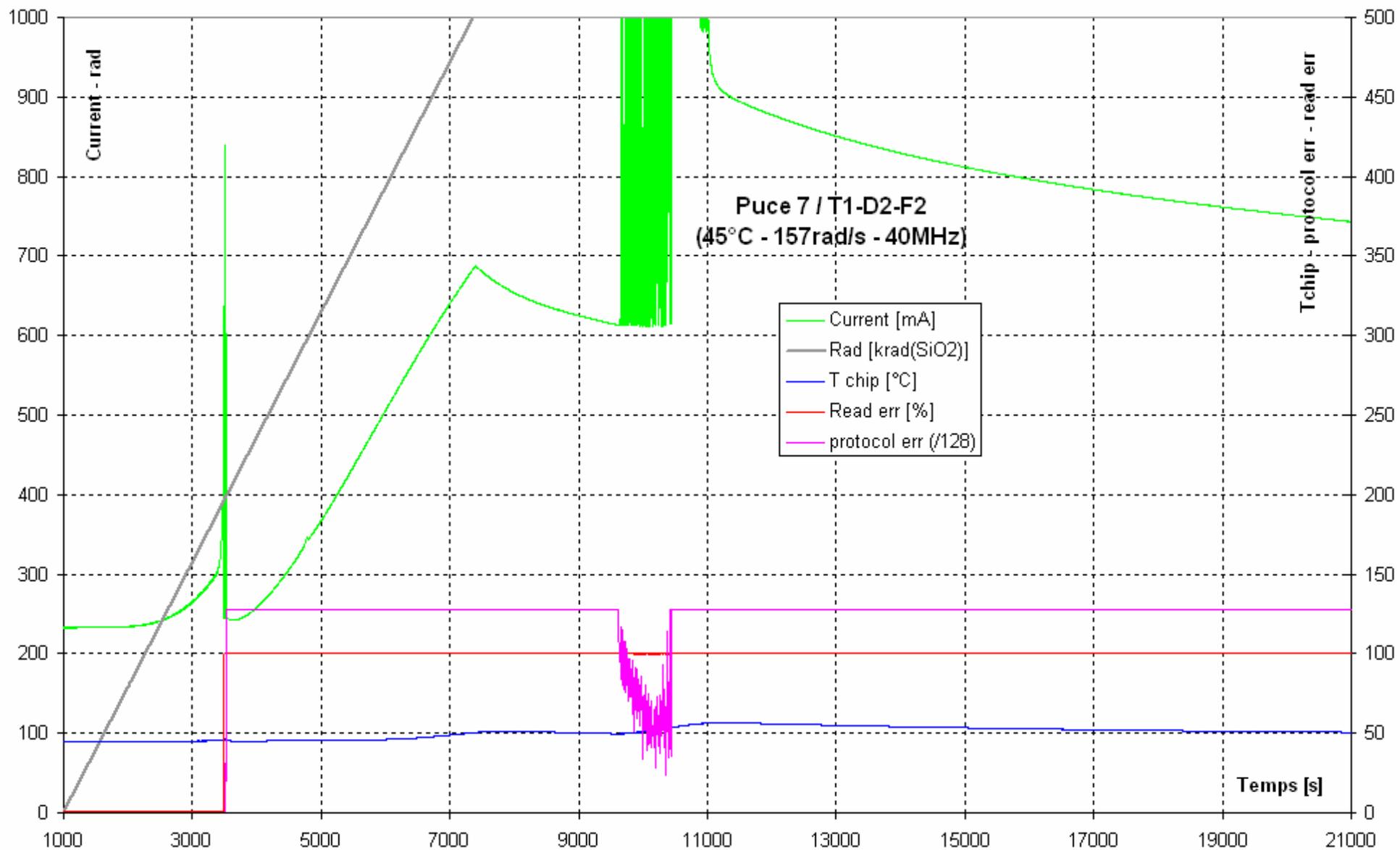
Résultat du test de FPGA 8 au point 5



Résultat du test de FPGA 8 au point 6



Résultat du test de FPGA 8 au point 7



Résultat du test de FPGA 8 au point 8



*ANNEXE 4 :*

*Manuel d'utilisation de la bibliothèque de vi pour  
l'utilisation d'Excel*

Stéphane GABOURIN  
AT-ACR-IN  
Tél : 75478  
[stephane\\_gabourin@yahoo.fr](mailto:stephane_gabourin@yahoo.fr)

le 31 Octobre 2007

# Manuel d'utilisation de la librairie de vi Excel (v2.0) pour LabVIEW 7.1 et suivants

# SOMMAIRE

<i>Sommaire</i> .....	2
<i>Introduction</i> .....	4
<i>Installation</i> .....	8
<i>Description des vi</i> .....	9
<b>Catégorie 1 : Gestion des objets « Workbook » (WB) .....</b>	<b>9</b>
Create-Open .....	9
Save.....	9
Close WB .....	10
Close Excel .....	10
<b>Catégorie 2 : Gestion des objets « Sheet » (SH=WS+CH) .....</b>	<b>11</b>
SH Add.....	11
SH Get.....	11
SH Rename .....	12
SH Cop-Mov .....	13
SH Delete.....	13
SH Get All.....	14
<b>Catégorie 3 : Fonctions internes aux WS .....</b>	<b>15</b>
a. Manipulation des données (écriture et lecture) .....	15
WS Read Cell.....	15
WS Read 1D Array .....	16
WS Read 2D Array .....	16
WS Write Cell.....	17
WS Write 1D Array .....	17
WS Write 2D Array .....	17
b. Gestion de la mise en forme.....	18
WS Formatting.....	18
WS Draw Borders .....	19
WS Fill.....	19
WS Font Arial .....	19
WS Alignment.....	20
WS Merge .....	20
WS Size Cells.....	21
WS Freeze.....	21
c. Création d'un CH.....	21
WS New Chart .....	21
<b>Catégorie 4 : Fonctions internes aux CH .....</b>	<b>21</b>
a. Chart Wizard.....	21
CH Datas.....	22
CH Options .....	23
b. Modification des propriétés du CH.....	23
CH Pattern.....	23
CH Text.....	26
CH Scale .....	27
<b>Catégorie 5 : Gestion des macros .....</b>	<b>28</b>
Import macro.....	28
Run macro.....	28

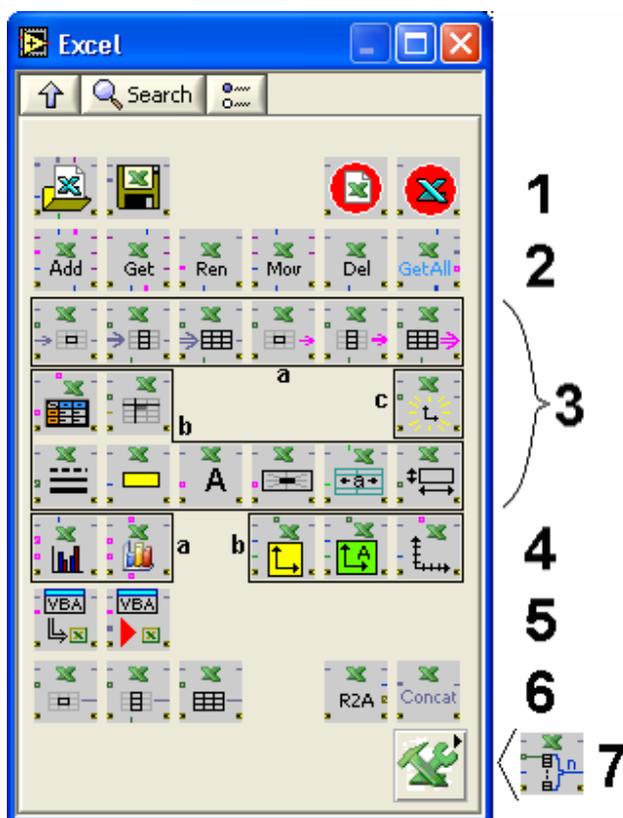
<b>Catégorie 6 : Manipulation des « Ranges »</b> .....	<b>29</b>
CellToRange .....	29
1DArrayToRange .....	29
2DArrayToRange .....	29
RangesToArea .....	30
ConcatRanges .....	30
<b>Catégorie 7 : Outils divers</b> .....	<b>31</b>
Count Elements .....	31
<b><i>Exemples</i></b> .....	<b>32</b>
<b>1 Manip de SH</b> .....	<b>32</b>
<b>2 Manip de données</b> .....	<b>32</b>
<b>3 Mise en forme et utilisation de Tab Ranges</b> .....	<b>33</b>
<b>4 Les Macros</b> .....	<b>33</b>
<b><i>Codes d'erreurs et d'avertissements</i></b> .....	<b>35</b>
<b>Erreurs</b> .....	<b>35</b>
<b>Avertissements</b> .....	<b>35</b>

# INTRODUCTION

Cette librairie de vi, développée sous LabVIEW 7.1, constitue une interface entre LabVIEW et Excel, aussi bien en lecture qu'en écriture.

Avant tout, il faut savoir qu'un « Workbook » (WB) est un classeur contenant des « Sheet » (SH). Les SH gérés par mes vi sont les « Worksheet » (WS) et les « Chart » (CH). Ces vi peuvent se classer en 7 catégories :

1. Gestion des WB,
2. Gestion des SH (WS et CH),
3. Fonctions s'appliquant dans les WS,
  - a. Lecture / Ecriture de données,
  - b. Mise en forme,
  - c. Création d'un CH,
4. Fonctions s'appliquant dans les CH,
  - a. Chart Wizard
  - b. Modification des propriétés du CH
5. Gestion des macros (dans les WB),
6. Manipulation des Ranges (références de tableaux 2D),
7. Sous menu pour les outils divers.



La démarche classique de construction d'un vi consiste à ouvrir l'application Excel avec un WB. C'est ce que réalise le 1<sup>er</sup> vi de la catégorie 1, Creat-Open



. Il est aussi possible d'enregistrer un fichier () et de fermer un WB



() ou Excel ()

---

Disposant d'un WB, on peut manipuler ses SH (WS ou CH) en utilisant les vi de la catégorie 2. Les vi Add () et Get () utilisent le WB en entrée et

renvoient un SH en sortie. Les 3 suivants (, , ) sont polymorphes ; ils acceptent soit un WB avec l'index ou le nom du SH à traiter, soit directement la référence de ce SH (qui peut être renvoyée par Add ou Get).

Le vi GetAll () permet d'obtenir en un coup tous les SH, tous les WS ou tous les CH

---

La catégorie 3 permet de réaliser d'une part les opérations de lecture/écriture de données (, , , , , , , , , , , ), et d'autre part la mise en forme de

ces données (, , , , , , , , , , , , , , ) dans un WS. Un vi

permet aussi d'ajouter un nouveau CH en tant qu'objet à l'intérieur du WS ()

Pour des raisons d'allègement et de minimisation des erreurs, les vi de la catégorie 3 ne sont plus polymorphes (comme dans la version 1.0).

Les vi de lecture/écriture n'acceptent plus que les WS en entrée. Il est désormais nécessaire d'utiliser auparavant Get pour disposer du WS.

Les vi de mise en forme n'acceptent plus que les Ranges en entrée. Les « Tab Ranges » de la version 1.0 n'existent plus depuis que le vi Concat Ranges

existe ()

Pour obtenir un Range, on peut soit utiliser les 3 1<sup>ers</sup> vi de la catégorie 6 (, , )

, soit les récupérer en sortie des 3 vi d'écriture (, , )

A propos du vi d'ajout d'un CH dans un WS ()

, j'ai choisi de définir la position du CH en cellules Excel, et non en pixels (je trouve que c'est plus facile à imaginer).

---

La catégorie 4 est la vraie grande nouveauté de la version 2.0. Elle permet de tracer tout type de graphes et de le mettre en forme. Ces vi s'appliquent aussi bien à un SH de type CH qu'à un objet CH inclus dans un WS.



 en Ranges ou inversement (RangeToArea, ). Pour appliquer une mise en forme sur de multiples Ranges, il est possible de les regrouper dans un seul Range avec ConcatRanges ().

---

La catégorie 7 regroupe les différents outils qui peuvent s'avérer utiles. Pour l'instant, il n'y en a qu'un, qui permet de compter, en partant d'une cellule de référence, le nombre de cellules non vides verticalement ou horizontalement

.

---

Quelques exemples de vi sont fournis dans le répertoire « Exemples ».

Ce document décrit rapidement la procédure d'installation de la palette Excel avant de détailler le rôle de chaque vi. Le paragraphe suivant donne un aperçu des programmes d'exemples. Le dernier paragraphe donne mes erreurs et avertissements qui peuvent être renvoyés (codes positifs pour mes erreurs).

## INSTALLATION

Décompresser le fichier zip puis, à partir de LabVIEW, ajouter le dossier « Palette » à la palette de fonctions. Ayant LabVIEW en anglais, les menus que je donne sont à retrouver pour ceux qui l'utilisent en français...

LabVIEW 7 :

Allez dans le menu « Tools », « Advanced », « EditPalette Views... ».

Allez dans la sous palette Users Libraries de la palette de fonctions. Clic droit sur la palette et « Insert », « Submenu... ».

Choisissez « Link to an existing menu file (.mnu) » et allez chercher le fichier dir.mnu présent dans le sous répertoire « Palette » du répertoire décompressé.

Cliquez sur « Save Changes ». La palette est insérée dès votre retour sous LabVIEW.

LabVIEW 8 :

Allez dans le menu « Tools », « Advanced », « EditPalette Set... ».

Allez dans la sous palette (de la palette de fonctions) où vous souhaitez insérer la palette Excel. Clic droit sur la palette et « Insert », « Subpalette... ».

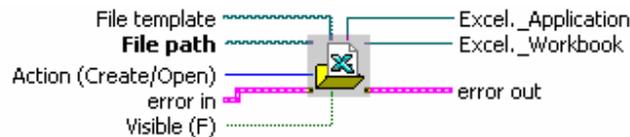
Choisissez « Link to an existing palette file (.mnu) » et allez chercher le fichier dir.mnu présent dans le sous répertoire « Palette » du répertoire décompressé.

Cliquez sur « Save Changes ». La palette est insérée dès votre retour sous LabVIEW.

# DESCRIPTION DES VI

## Catégorie 1 : Gestion des objets « Workbook » (WB)

### **Create-Open**



Ouvre un fichier Excel (s'il existe) ou crée un nouveau fichier (s'il n'existe pas).

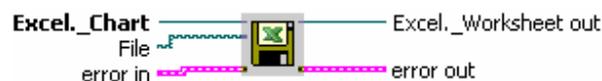
Le paramètre « Action » donne la possibilité de forcer la création du fichier (un numéro est ajouté s'il existe déjà), ou de forcer l'ouverture (renvoie une erreur s'il n'existe pas).

Si le fichier est créé, il est possible de lui donner un template (modèle). Si aucun template n'est spécifié, ou s'il n'existe pas, un WB contenant 3 WS est créé.

Si « Visible » est mis à « True », Excel s'ouvre normalement. S'il est mis à « False », l'application est ouverte en arrière-plan. Dans ce dernier cas, il est nécessaire de la fermer avec le vi « Close Excel ».

La référence du WB correspondant au fichier est renvoyée en sortie, ainsi que celle de l'application (utilisable par « Close Excel »)

### **Save**

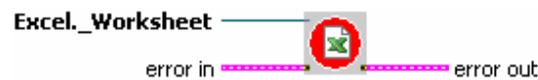
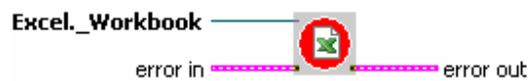


Enregistre un WB. Si le nom de fichier n'est pas spécifié, il enregistre dans le WB en cours.

VI polymorphe qui accepte en entrée:

- la référence du WB à enregistrer ou
- la référence d'un de ses SH (WS ou CH)

### **Close WB**

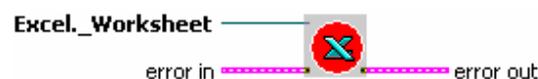
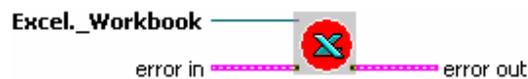
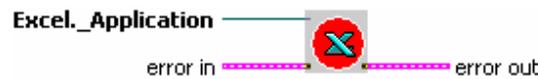


Ferme un WB.

VI polymorphe qui accepte en entrée:

- la référence du WB à fermer ou
- la référence d'un de ses SH (WS ou CH)

### **Close Excel**





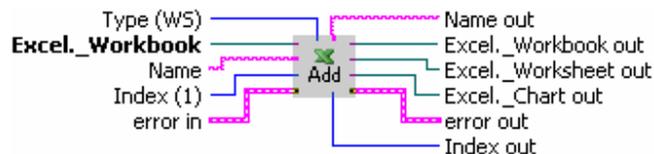
Ferme une application Excel.

VI polymorphe qui accepte en entrée:

- la référence de l'application (donnée par le VI « Create-Open ») ou
- la référence d'un de ses WB ou
- la référence d'un de ses SH (WS ou CH)

## **Catégorie 2 : Gestion des objets « Sheet » (SH=WS+CH)**

### **SH Add**



Ajoute un SH dans un WB. On peut spécifier le type du SH, le nom du SH et l'index de l'insertion (démarre à 1).

Le type est WS par défaut.

Si le nom n'est pas câblé, "No name" est utilisé.

Si le nom existe déjà, un numéro est ajouté.

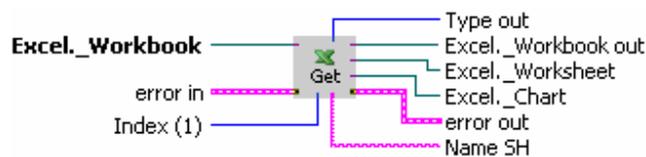
Si l'index n'est pas câblé, l'insertion se fait au début (1 par défaut).

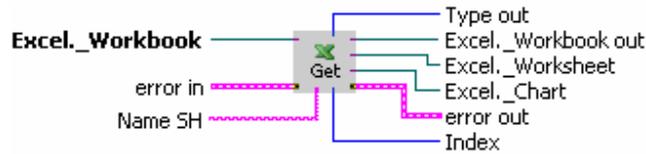
Si l'index est trop grand, l'insertion se fait à la fin.

Le nom réellement donné et l'index auquel le SH est inséré sont renvoyés en sortie. Si l'index est négatif ou nul, « Name out » est vide et « Index out » = -1.

Si le « Type » choisi est « Worksheet », la référence du WS créé ressort par le paramètre « Excel\_Worksheet out ». Si le « Type » est « Chart », la référence du CH créé ressort par le paramètre « Excel\_Chart out ».

### **SH Get**





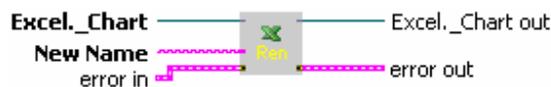
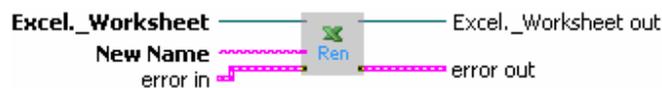
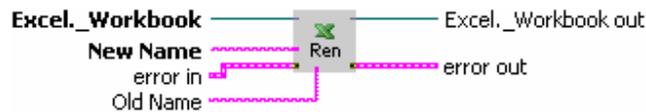
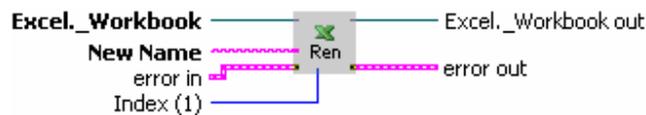
Renvoie, s'il existe, les caractéristiques d'un SH.

VI polymorphe qui accepte en entrée:

- l'index du SH recherché: son nom est renvoyé (chaîne vide si le SH n'existe pas)
- le nom du SH recherché: son index est renvoyé (= -1 si le SH n'existe pas)

« Type out » permet de savoir si le sheet est un WS ou un CH. Il est nécessaire de sélectionner la référence (« Excel.\_Worksheet » ou « Excel.\_Chart ») qui correspond à « Type out ».

### SH Rename



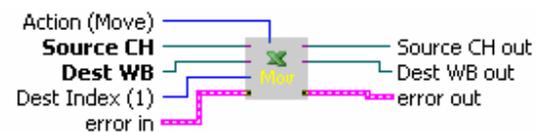
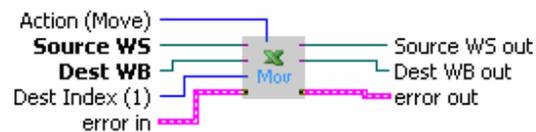
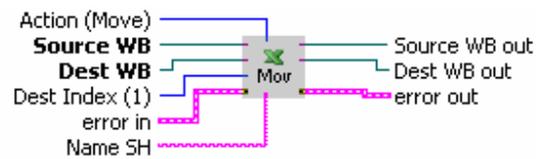
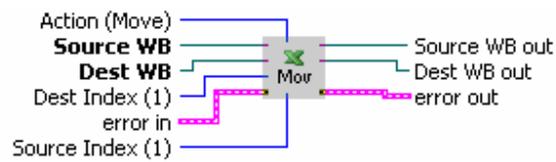
Renomme un SH.

Si le nom est vide, rien n'est changé. Si un autre SH a déjà ce nom, un numéro est ajouté.

VI polymorphe qui accepte en entrée:

- la référence du WB et l'index du SH
- la référence du WB et le nom du SH
- la référence du SH (WS ou CH)

## SH Cop-Mov



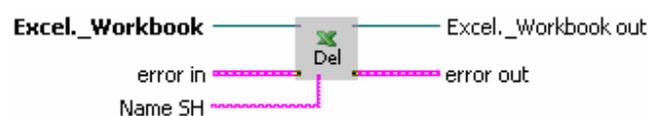
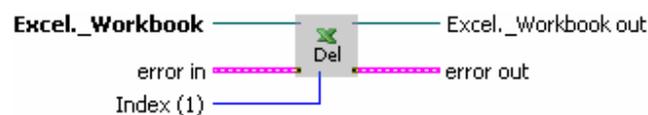
Déplace ou copie un SH.

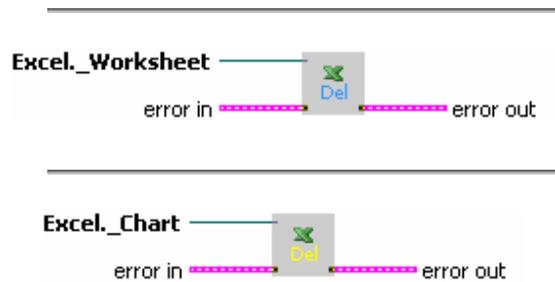
« Action » permet de choisir entre déplacer (valeur par défaut) ou copier. La destination doit être spécifiée par le WB et l'index auquel on désire insérer.

VI polymorphe qui accepte en entrée pour la Source:

- la référence du WB et l'index du SH
- la référence du WB et le nom du SH
- la référence du SH (WS ou CH)

## SH Delete





Supprime un SH.

VI polymorphe qui accepte en entrée:

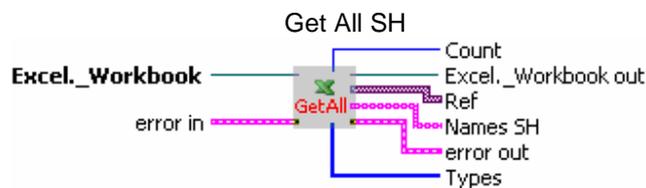
- la référence du WB et l'index du SH
- la référence du WB et le nom du SH
- la référence du SH (WS ou CH)

### **SH Get All**

Vi polymorphe qui permet d'obtenir les SH d'un WB en fonction de leur type.

Il y a 3 possibilités :

- On ressort tous les SH,
- On ne choisit que les WS,
- On ne choisit que les CH.



Renvoie les références, noms et types de tous les SH d'un WB.

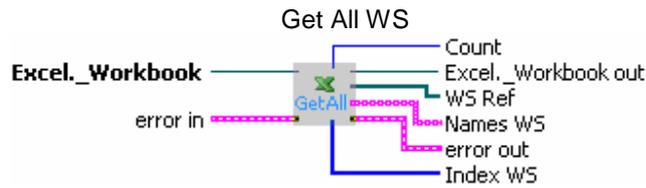
« Count » : Nombre de SH dans le WB

« Ref » : tableau contenant les références des SH. Les types des références étant différents (pour WS et CH), il est nécessaire de les renvoyer en variant. Le

vi « Variant to Data » (  ) permet de récupérer les références.

« Names SH » : tableau des noms de tous les SH du WB.

« Types » : tableau des types (WS ou CH) de tous les SH. Ce paramètre permet de savoir quel type de référence utiliser pour récupérer les références contenues dans « Ref ».



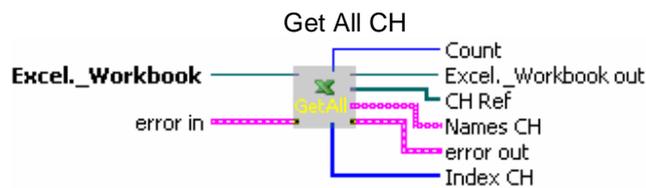
Renvoie les références, noms et index de tous les WS d'un WB.

« Count » : Nombre de WS dans le WB

« WS Ref » : tableau des références des WS du WB.

« Names WS » : tableau des noms de tous les WS du WB.

« Index WS » : tableau des index des WS dans le WB



Renvoie les références, noms et index de tous les CH d'un WB.

« Count » : Nombre de CH dans le WB

« CH Ref » : tableau des références des CH du WB.

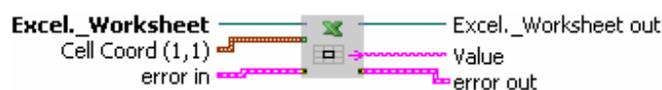
« Names CH » : tableau des noms de tous les CH du WB.

« Index CH » : tableau des index des CH dans le WB

### **Catégorie 3 : Fonctions internes aux WS**

#### **a. Manipulation des données (écriture et lecture)**

##### ***WS Read Cell***

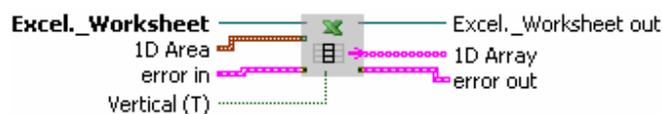


Lit une cellule et la renvoie en type string.

« Cell Coord » donne les coordonnées de la case où lire. Le premier nombre correspond à la ligne et le deuxième à la colonne. Ces index démarrent à 1. Par exemple, la case C5 est donnée par les coordonnées (5,3).

La valeur de sortie est un string qu'il est possible de convertir (entier,...).

### **WS Read 1D Array**



Lit un tableau 1D et le renvoie en type string.

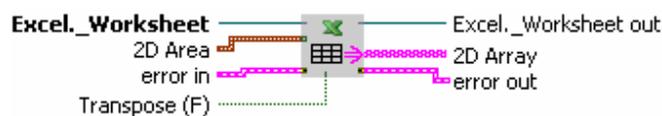
« 1D Area » donne la position et la taille du tableau à lire. Les 3 nombres à fournir sont :

- la ligne (1 par défaut),
- la colonne (1 par défaut),
- le nombre d'éléments (2 par défaut).

Le booléen « Vertical » permet de choisir l'orientation du tableau (verticale par défaut)

Le tableau de sortie est un string qu'il est possible de convertir (entier,...).

### **WS Read 2D Array**



Lit un tableau 2D et le renvoie en type string.

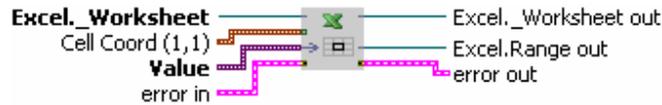
« 2D Area » donne la position et la taille du tableau à lire. Les 4 nombres à fournir sont :

- la ligne (1 par défaut),
- la colonne (1 par défaut),
- le nombre de lignes (2 par défaut)
- le nombre de colonnes (2 par défaut)

Le booléen « Transpose » permet de choisir l'orientation du tableau (comme dans Excel par défaut)

Le tableau de sortie est un string qu'il est possible de convertir (entier,...).

### **WS Write Cell**



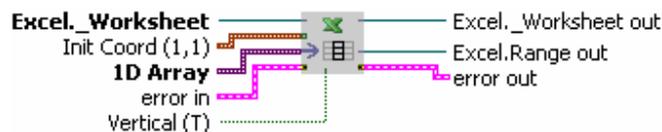
Ecrit dans une cellule.

« Cell Coord » donne les coordonnées de la case où écrire. Le premier nombre correspond à la ligne et le deuxième à la colonne. Ces index démarrent à 1. Par exemple, la case B4 est donnée par les coordonnées (4,2).

La valeur à écrire est prise en tant que variant pour accepter différents types. Sous Excel, la valeur prend le type « General ».

Renvoie la référence du WS dans lequel la cellule est écrite ainsi que la référence du range de la cellule (pour les VI de mise en forme).

### **WS Write 1D Array**



Ecrit un tableau 1D.

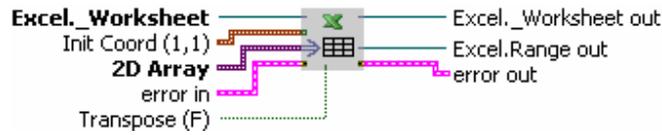
« Init Coord » correspond aux coordonnées de la première case du tableau. Le premier nombre correspond à la ligne et le deuxième à la colonne. Ces index démarrent à 1. Par exemple, la case B4 est donnée par les coordonnées (4,2).

Le tableau à écrire est pris en tant que variant pour accepter différents types.

« Vertical » permet de choisir l'orientation du tableau (verticale par défaut)

Renvoie la référence du range du tableau 1D (pour les VI de mise en forme).

### **WS Write 2D Array**



Ecrit un tableau 2D.

« Init Coord » correspond aux coordonnées de la première case du tableau. Le premier nombre correspond à la ligne et le deuxième à la colonne. Ces index démarrent à 1. Par exemple, la case D1 est donnée par les coordonnées (1,4).

Le tableau à écrire est pris en tant que variant pour accepter différents types.

« Transpose » permet de choisir l'orientation du tableau (comme dans Excel par défaut)

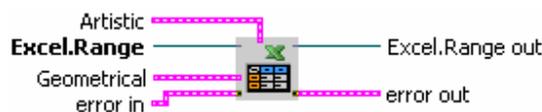
Renvoie la référence du range du tableau 2D (pour les VI de mise en forme).

### b. Gestion de la mise en forme

Quand on parle de « Range », il s'agit de la référence à un ensemble de cellules dans un WS. Les « Range » s'obtiennent en utilisant les vi de la catégorie 6, ou par les vi d'écriture dans un WS (catégorie 3a).

Tous les vi de mise en forme (formatting) demandent un « Range » en entrée.

#### **WS Formatting**



Mise en forme d'une zone (range) d'un WS.

Il est possible de modifier la mise en forme dite Artistique :

- le tracé des bordures
- la couleur de remplissage
- le style de texte (en Arial)

Et la mise en forme dite Géométrique :

- l'alignement des contenus de cellules
- la possibilité de faire un merge
- la taille des cellules

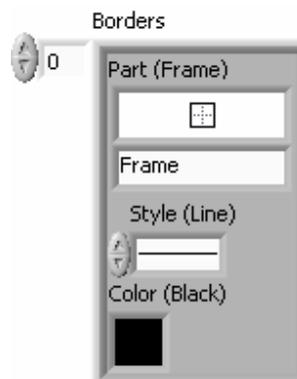
Le vi de mise en forme contient les 6 vi de la ligne de dessous qui peuvent être utilisés indépendamment :



### **WS Draw Borders**

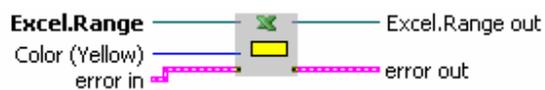


Dessine les bordures d'une zone (range) d'un WS.



« Borders » est un tableau dont chaque élément représente une bordure à tracer (cadre par défaut), le style de trait (ligne normale par défaut) et la couleur (noir par défaut).

### **WS Fill**



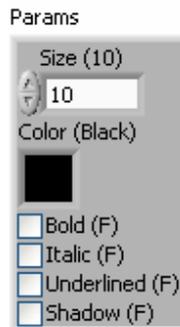
Colorie les cellules d'une zone (range) d'un WS.  
Le jaune est la couleur par défaut.

### **WS Font Arial**

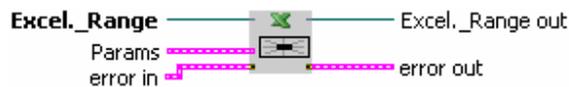


Définit le style de police d'une zone (range) d'un WS.

La police reste Arial. « Params » permet de choisir la taille et la couleur des caractères, et le style à appliquer (gras, italique, souligné ou ombré).

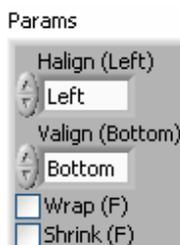


### **WS Alignment**

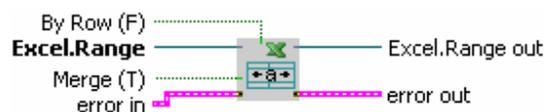


Aligne le contenu des cellules d'une zone (range) d'un WS.

« Params » permet de fixer les alignements vertical et horizontal, d'autoriser le retour à la ligne (*Wrap*) ou de faire rentrer le texte en largeur (*Shrink*) dans une cellule. Si *Wrap* est coché, *Shrink* n'a pas d'effet.



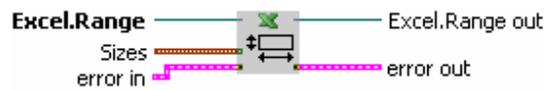
### **WS Merge**



Fusionne ou dé-fusionne les cellules d'une zone (range) d'un WS.

« Merge » est à vrai (*True*) pour fusionner et à faux (*False*) pour dé-fusionner.  
 « By Row » permet de fusionner les cellules ligne par ligne. Lors d'une « dé-fusion », ce booléen n'a pas d'importance.

## **WS Size Cells**

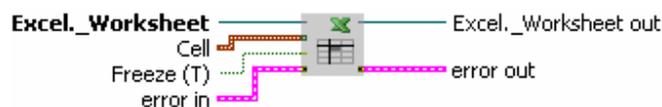


Définit la taille des cellules d'une zone (range) d'un WS.



« Sizes » est un cluster contenant la hauteur des lignes (12.75 par défaut) et la largeur des colonnes (8.43 par défaut).

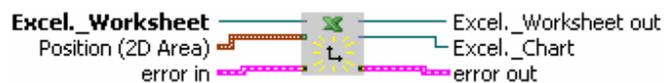
## **WS Freeze**



Figé (Freeze) ou libère les volets au dessus et à gauche de la cellule spécifiée par « Cell ».

## c. Création d'un CH

### **WS New Chart**



Crée un nouvel objet CH à l'intérieur d'un WS.

« Position (2D Area) » correspond à la surface que recouvre le CH. L'unité de mesure est la cellule. Il faut donner la ligne et la colonne de départ, puis le nombre de lignes et le nombre de colonnes.

La référence du CH est renvoyée en sortie.

## **Catégorie 4 : Fonctions internes aux CH**

### a. Chart Wizard

## CH Datas



Définit le type de CH et les données des tracés.

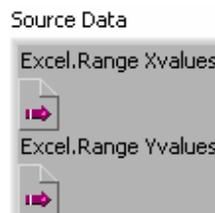
vi polymorphe qui permet de choisir entre 12 types de graphes :



Parmi ces types, il existe encore des « sous types » qui peuvent être choisis par le paramètre « ChartType ».

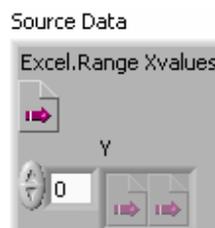
« Source Data » : 3 cas se présentent :

- Une seule série peut être tracée. Dans ce cas, « Source Data » est un cluster de 2 ranges. Le 1<sup>er</sup> correspond aux valeurs de l'axe de catégorie (axe X, abscisse), le 2<sup>ème</sup> aux valeurs de l'axe des valeurs (axe Y, ordonnée).



C'est le cas du vi

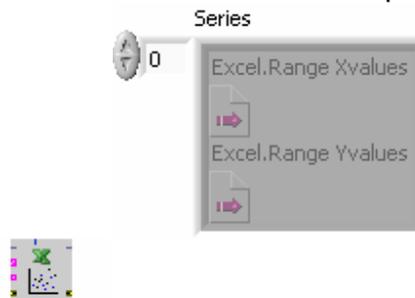
- Plusieurs séries peuvent être tracées mais avec les mêmes valeurs pour la catégorie. « Source Data » est alors un cluster avec un range pour les valeurs de l'axe de catégorie et un tableau de ranges pour les valeurs de l'axe des valeurs.



Les vi qui correspondent à ce type sont :



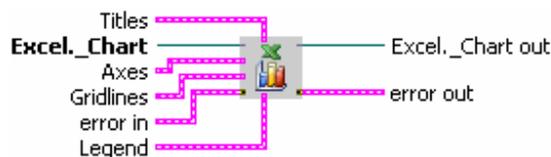
- Plusieurs séries avec différentes abscisses peuvent être tracées.  
« Source Data » change de nom et devient « Series », un tableau dont chaque élément est un « Source Data » du premier cas.



C'est le cas du vi **XYScatter**

Le paramètre « Serie Names » est un tableau regroupant les noms associés aux séries.

### **CH Options**



Ce vi est la suite du vi CH Datas pour finir de choisir les options du Chart Wizard d'Excel. Il permet de définir

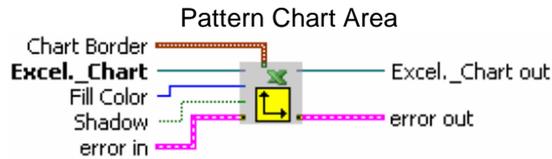
- « Titles » : les titres du graphe et des axes (aucun titre par défaut),
- « Axes » : la présence des axes (présence des 2 par défaut),
- « Gridlines » : la présence des grilles (présence de la grille majeure de Y par défaut),
- « Legend » : la présence de la légende et sa position (présente et à droite par défaut).

### **b. Modification des propriétés du CH**

#### **CH Pattern**

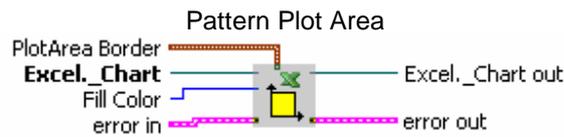
Modifie les motifs des différents objets composant un graphe. Il existe 7 fonctions (P1 à P6b) qui composent la 1<sup>ère</sup> ligne du tableau suivant :

	Chart Area (Zone de graphique)	Plot Area (Zone de traçage)	Legend (Légende)	Titles (Titres)	Axes (Axes)	Gridlines (Quadrillage)	Series (Séries)	
Pattern (Motifs)	P1	P2	P3	P4	P5		P6a   P6b	CH Pattern
Font (Police)	T1		T2	T3	T4			CH Text
Alignment (Alignement)						S1		CH Scale
Scale (Echelle)								
Location (Emplacement)			CH Options					



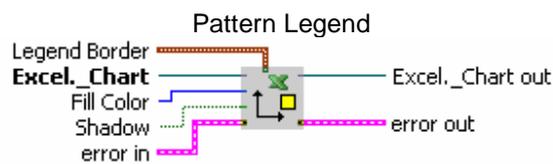
Définit le motif de la zone de graphique.

Il est possible de spécifier la couleur de remplissage « Fill Color » (blanc par défaut), le style de ligne de la bordure « Chart Border », et l'effet d'ombre avec « Shadow ».



Définit le motif de la zone de traçage.

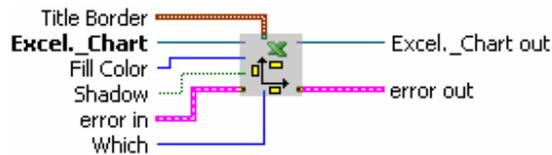
Il est possible de spécifier la couleur de remplissage « Fill Color » (jaune par défaut) et le style de ligne de la bordure « PlotArea Border ».



Définit le motif de la légende.

Il est possible de spécifier la couleur de remplissage « Fill Color » (blanc par défaut), le style de ligne de la bordure « Legend Border », et l'effet d'ombre avec « Shadow ».

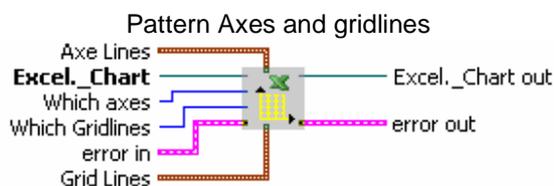
Pattern Titles



Définit le motif de l'arrière plan des titres.

Il est possible de spécifier la couleur de remplissage « Fill Color » (blanc par défaut), le style de ligne de la bordure « Title Border », et l'effet d'ombre avec « Shadow ».

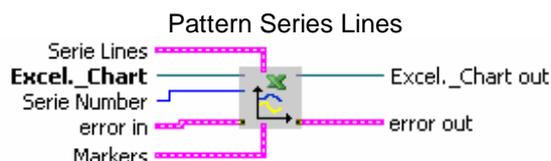
Le paramètre « Which » permet de sélectionner les titres modifiés, parmi celui du CH, celui de l'axe X et/ou celui de l'axe Y (titre du CH par défaut).



Définit le motif des axes et du quadrillage.

Il est possible de spécifier le style de ligne des axes avec « Axe Lines » et celui du quadrillage avec « Grid Lines ».

Les axes et/ou quadrillages modifiés sont sélectionnés par les paramètres « Which axes » (les 2 par défaut) et « Which Gridlines » (Y majeur par défaut).

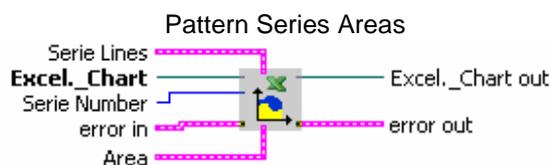


Définit le motif des Séries de type « courbes ».

« Serie Number » permet de choisir la série à modifier. 1 par défaut.

« Serie Lines » change le style de trait de la courbe.

« Markers » change le style des marques.



Définit le motif des Séries de type « Aires ».

« Serie Number » permet de choisir la série à modifier. 1 par défaut.

« Serie Lines » change le style de trait de la courbe.

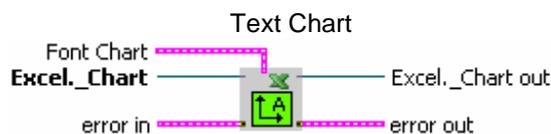
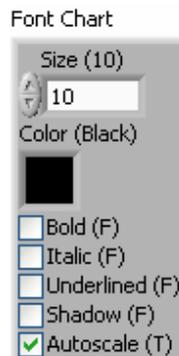
« Area » change la couleur de l'aire de la série.

### CH Text

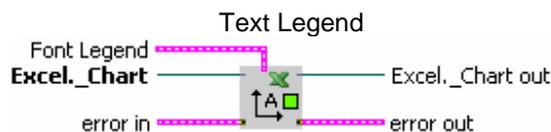
Modifie la police des différents objets composant un graphe. Il existe 4 fonctions (T1 à T4) dans les lignes 2 et 3 du tableau suivant :

	Chart Area (Zone de graphique)	Plot Area (Zone de traçage)	Legend (Légende)	Titles (Titres)	Axes (Axes)	Gridlines (Quadrillage)	Series (Séries)	
Pattern (Motifs)	P1	P2	P3	P4		P5	P6a   P6b	CH Pattern
Font (Police)	T1		T2	T3	T4			CH Text
Alignment (Alignement)								
Scale (Echelle)						S1		CH Scale
Location (Emplacement)			CH Options					

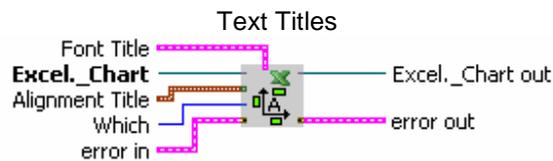
Il est possible de modifier la taille, la couleur, le style (gras, italique, souligné, ombré) ainsi que la mise à l'échelle automatique de la police. Les valeurs par défaut sont les suivantes :



Modifie la police de tous les objets du CH (Légende, titres et axes)



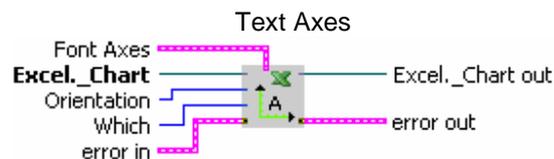
Modifie la police de la légende.



Modifie la police des titres avec « Font Title ».

Il est aussi possible de modifier l'alignement et l'orientation angulaire du texte avec « Alignment Title ».

Le paramètre « Which » permet de sélectionner les titres modifiés, parmi celui du CH, celui de l'axe X et/ou celui de l'axe Y (titre du CH par défaut).

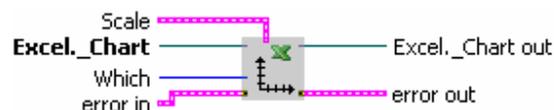


Modifie la police des axes.

Il est aussi possible de modifier l'orientation angulaire du texte avec « Orientation ».

Les axes modifiés sont sélectionnés par le paramètre « Which » (les 2 par défaut).

### **CH Scale**



Définit l'échelle des axes X et/ou Y (Y par défaut).

Il est possible de définir de façon automatique ou manuelle :

- le minimum,
- le maximum,
- l'unité principale,
- l'unité secondaire,
- la position d'intersection avec l'autre axe,
- le type d'échelle (linéaire ou logarithmique).

## Catégorie 5 : Gestion des macros

### **Import macro**

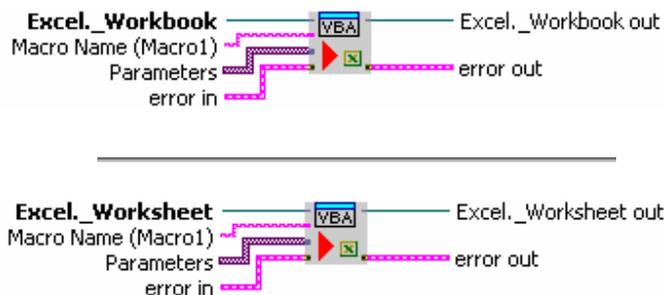


Importe une macro dans le projet attaché à un WB. Un nouveau module est créé et son nom, suivi d'un point est renvoyé dans « Module. ». Si plusieurs modules sont créés, il faut concaténer « Module. » au nom de la macro à l'entrée « Macro Name » du vi « Run macro » (cf. l'Exemple 4).

VI polymorphe qui accepte en entrée:

- la référence du WB et le code de la macro
- la référence du WB et le fichier (texte) dans lequel le code de la macro est écrit
- la référence d'un WS du WB et le code de la macro
- la référence d'un WS du WB et le fichier (texte) dans lequel le code de la macro est écrit

### **Run macro**



Exécute une macro d'un WB. Si plusieurs modules existent, il faut concaténer la sortie « Module. » du vi « Import macro » à « Macro Name » (cf. l'Exemple 4).

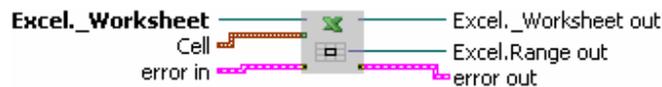
VI polymorphe qui accepte en entrée:

- la référence du WB
- la référence d'un WS du WB

« Parameters » est un tableau regroupant les paramètres de la macro. S'ils sont de types différents, il est nécessaire de changer chacun d'entre eux en variant avant de construire le tableau.

## **Catégorie 6 : Manipulation des « Ranges »**

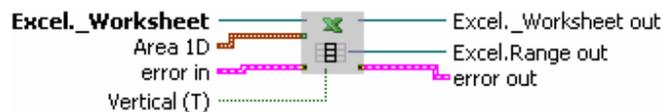
### **CellToRange**



Convertit les coordonnées d'une cellule « Cell » en « Range », utilisé dans les vi de mise en forme.

« Cell » est un cluster de 2 nombres : la ligne et la colonne de la cellule (départ à 1).

### **1DArrayToRange**



Convertit les coordonnées d'un tableau 1D « Area 1D » en « Range », utilisé dans les vi de mise en forme.

« Area 1D » est un cluster de 3 nombres : la ligne et la colonne de la cellule de départ, puis la dimension du tableau.

Le booléen « Vertical » permet de choisir l'orientation du tableau (verticale par défaut).

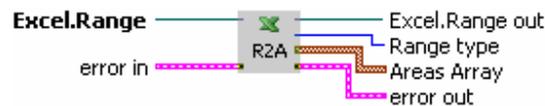
### **2DArrayToRange**



Convertit les coordonnées d'un tableau 2D « Area 2D » en « Range », utilisé dans les vi de mise en forme.

« Area 2D » est un cluster de 4 nombres : la ligne et la colonne de la cellule de départ, puis le nombre de lignes et de colonnes du tableau.

### **RangesToArea**



Convertit une référence « Range » en un tableau dont chaque élément contient les caractéristiques (ligne et colonne de départ, nombre de lignes et de colonnes) d'une zone du WS (tableau 2D).

Il est nécessaire d'avoir un tableau en sortie car un « Range » peut contenir plusieurs tableaux 2D (grâce notamment à « ConcatRanges »).

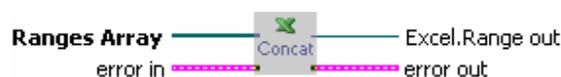
« Range Type » informe sur le type du « Range » d'entrée : cellule simple, tableau 1D, tableau 2D, « Multiple Cell », « Multiple 1D », « Multiple 2D ».

Dans le cas des « Multiple », le tableau « Areas Array » contient plusieurs éléments :

- « Cell » : un seul élément qui est une cellule,
- « 1D Array V » : un élément qui est un tableau 1D vertical,
- « 1D Array H » : un élément qui est un tableau 1D horizontal,
- « 2D Array » : un élément qui est un tableau 2D,
- « Multiple Cell » plusieurs éléments qui sont des cellules,
- « Multiple 1D V » indique que les aires ne s'étendent que sur 1 dimension verticale. S'il y a plusieurs tableaux 1D, ils sont tous sur une ligne,
- « Multiple 1D H » indique que les aires ne s'étendent que sur 1 dimension horizontale. S'il y a plusieurs tableaux 1D, ils sont tous sur une colonne,
- « Multiple 2D » indique qu'il y a au moins une aire qui s'étend horizontalement et une aire (la même si tab 2D) qui s'étend verticalement.

Les multiples sont utilisés pour savoir ce qu'il est permis de tracer en interne du vi des bordures (Draw Borders).

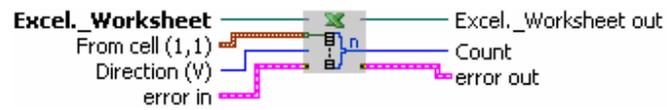
### **ConcatRanges**



Concatène des « Range » dans un seul « Range ». Utile pour appliquer une mise en forme sur plusieurs « Range » en un seul appel de vi.

## Catégorie 7 : Outils divers

### **Count Elements**



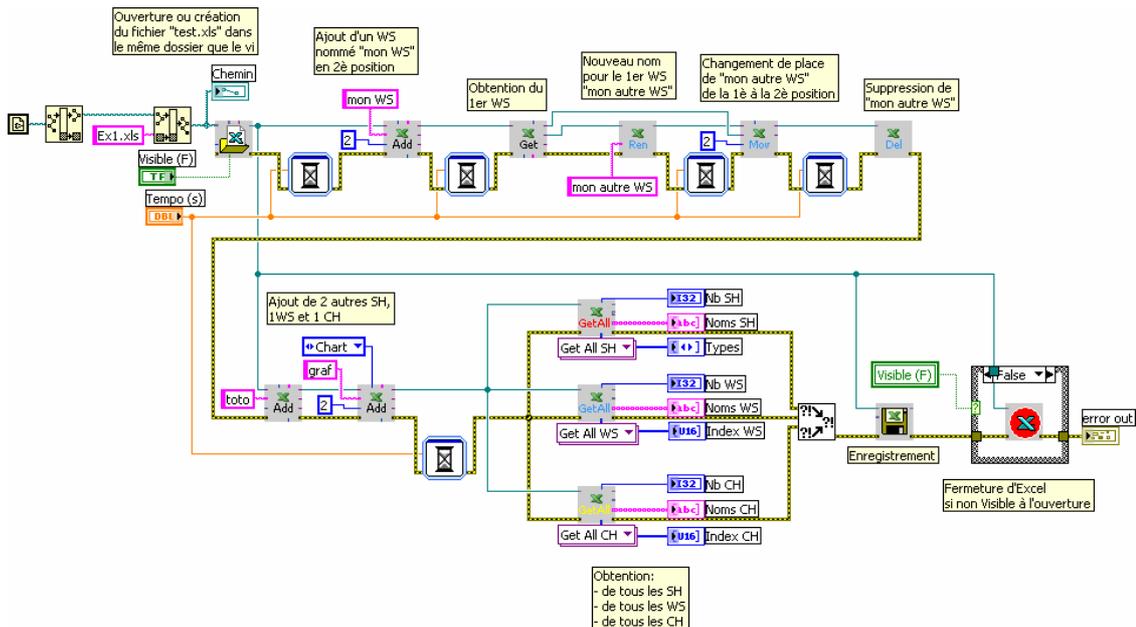
Compte, en partant d'une cellule de référence (« From Cell »), le nombre d'éléments non vides « Count » :

- en dessous de cette cellule si « Direction » est spécifié à « Vertical » (par défaut),
- à droite de cette cellule si « Direction » est spécifié à « Horizontal ».

# EXEMPLES

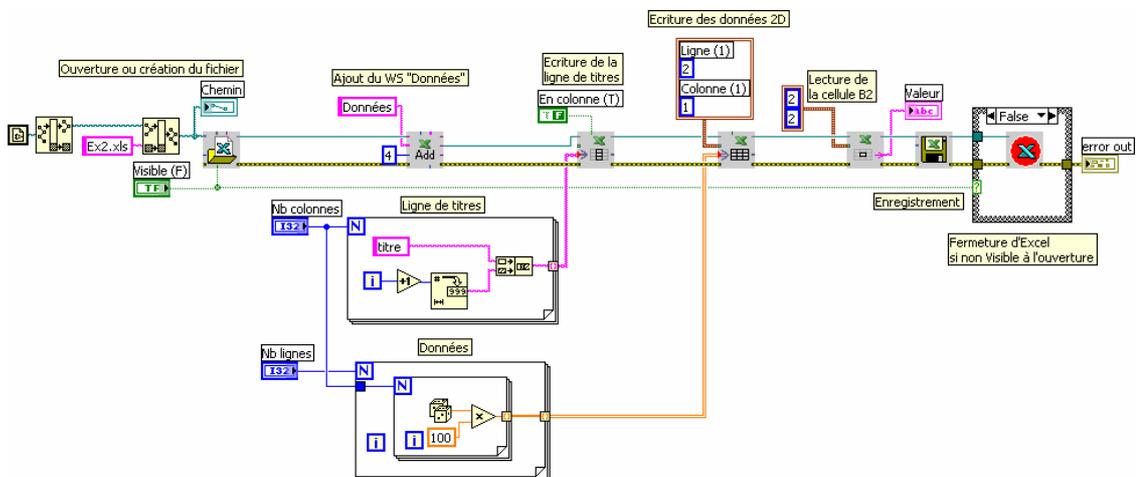
## 1 Manip de SH

Cet exemple décrit l'utilisation des vi de la 1<sup>ère</sup> et 2<sup>ème</sup> catégorie, tout ce qui concerne la manipulation des WS et des CH. Le fichier Ex1.xls est créé. La tempo permet de visualiser les étapes.



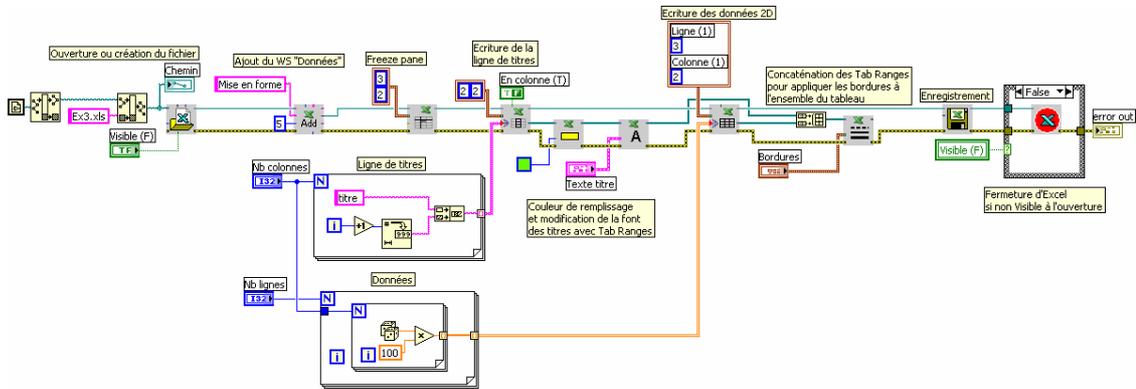
## 2 Manip de données dans un WS

Cet exemple décrit l'utilisation des vi des catégories 1, 2 et 3a, soit la lecture et l'écriture de données dans un WS.



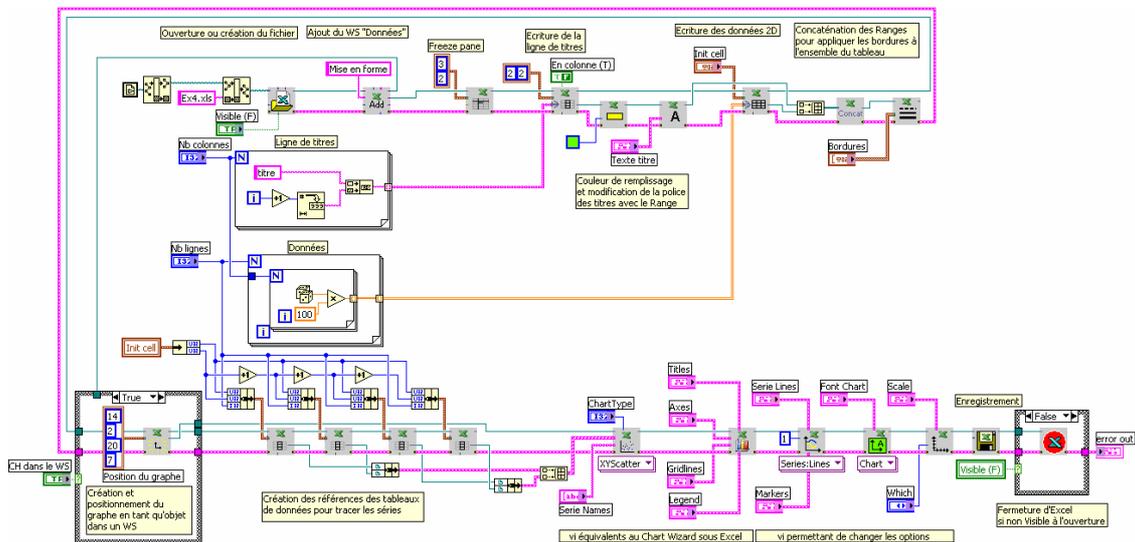
### 3 Mise en forme dans un WS

Cet exemple décrit l'utilisation des vi des catégories 1, 2, 3a et 3b, c'est-à-dire la mise en forme en plus que dans l'exemple 2.



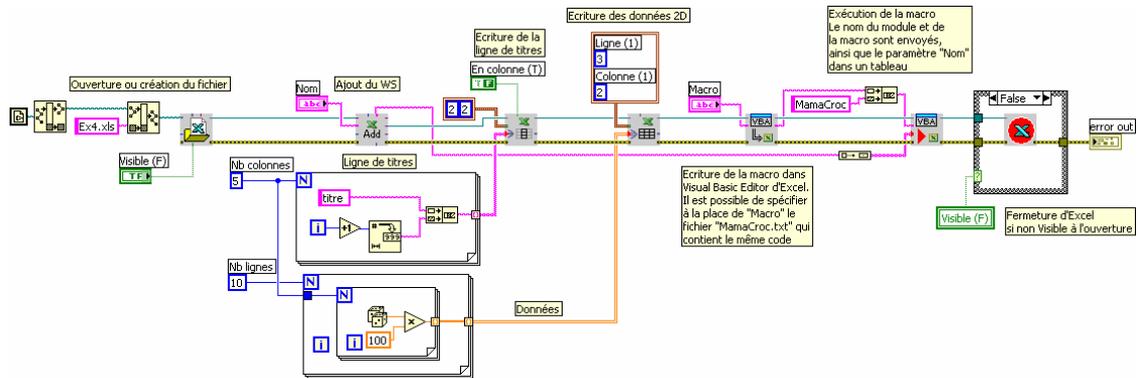
### 4 Création d'un CH

Cet exemple décrit l'utilisation des vi des 4 premières catégories : l'écriture d'un tableau dans un WS, sa mise en forme, la création et le tracé d'un graphe avec ces données.



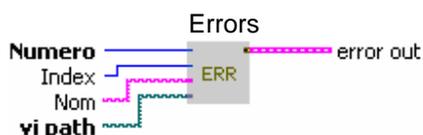
## 5 Les Macros

L'exemple 4 utilise les 2 vi servant à importer et exécuter une macro (catégorie 5).



# CODES D'ERREURS ET D'AVERTISSEMENTS

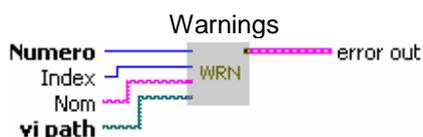
## Erreurs



Revoie l'erreur associée au numéro « Numero ». L'index et le nom du SH peuvent être fournis si nécessaire. Le chemin du vi, lui est obligatoire. Les erreurs qui peuvent être renvoyées sont les suivantes :

- 1 Le fichier spécifié n'existe pas
- 2 L'index doit être supérieur à 0. Les index de WS démarrent à 1
- 3 Le SH n°? n'existe pas ( ?=index du SH dans le WB)
- 4 Le SH " ?" n'existe pas ( ?= nom du SH)
- 5 Le nouveau nom est vide
- 6 L'index n° ? est invalide ( ?=index du SH dans le WB)
- 7 Le nombre maximum de paramètres d'une macro est de 30
- 8 Macro non trouvée
- 9 Pas assez de paramètres
- 10 Trop de paramètres
- 11 Mauvais paramètres

## Avertissements



Revoie l'avertissement (warning) associée au numéro « Numero ». L'index et le nom du SH peuvent être fournis si nécessaire. Le chemin du vi, lui est obligatoire. Les avertissements qui peuvent être renvoyées sont les suivantes :

- 101 Un numéro a été ajouté au nom
- 102 Le tableau est vide